

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345218

(43)Date of publication of application : 14.12.1999

(51)Int.Cl.

G06F 15/16

G06T 1/20

G06T 15/00

(21)Application number : 11-051795

(71)Applicant : SONY CORP

(22)Date of filing : 26.02.1999

(72)Inventor : KUROSE ETSUKAZU

(30)Priority

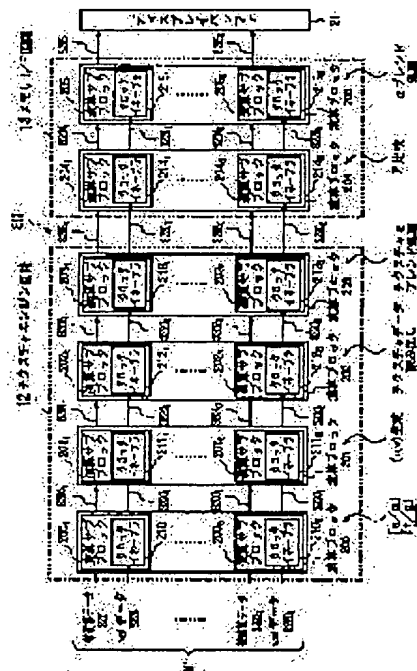
Priority number : 10 91844 Priority date : 03.04.1998 Priority country : JP

## (54) IMAGE PROCESSOR AND ITS METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processor which reduces power consumption drastically.

SOLUTION: This graphic arithmetic unit simultaneously performs an operation of plural pixels to represent a prescribed shape to be shown on a display with combination of unit diagrams and performs processing by using an operation result about pixels located in the unit diagrams that are processing objects as what is effective. In such a time, the effectiveness of respectively corresponding val data S2201 to 2208 is decided by clock enablers 2101 to 2158 in operation subblocks 2001 to 2058, only subblocks in which corresponding val data shows effectiveness execute an operation and the operation subblocks which are not in that way do not perform an operation. Operation blocks 200 to 205 realize pipeline processing.



## LEGAL STATUS

[Date of request for examination] 08.12.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345218

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 15/16

G 0 6 T 1/20

15/00

識別記号

6 1 0

F I

G 0 6 F 15/16

15/66

15/72

6 1 0 F

L

4 5 0

審査請求 未請求 請求項の数40 O L (全 25 頁)

(21) 出願番号 特願平11-51795

(22) 出願日 平成11年(1999) 2月26日

(31) 優先権主張番号 特願平10-91844

(32) 優先日 平10(1998) 4月3日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 黒瀬 悦和

東京都品川区北品川 6 丁目 7 番35号 ソニ

一株式会社内

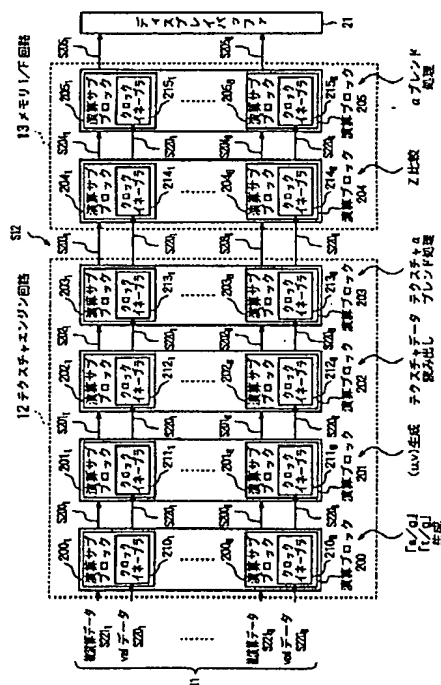
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 画像処理装置およびその方法

(57) 【要約】

【課題】 消費電力の大幅な低下を図れる画像処理装置を提供する

【解決手段】 ディスプレイに表示する所定の形状を単位図形の組み合わせで表現するために、複数の画素についての演算を同時に行い、処理対象となっている前記単位図形の内側に位置する画素についての演算結果を有効なものとして用いて処理を行なうグラフィック演算装置であって、演算サブブロック 200<sub>1</sub> ~ 205<sub>8</sub> において、それぞれ対応する  $v a l$  データ  $S 2 2 0_1 \sim S 2 2 0_8$  の有効性がクロックイネーブラ 210<sub>1</sub> ~ 215<sub>8</sub> で判断され、対応する  $v a l$  データが有効を示す演算サブブロックのみが演算を実行し、そうでない演算サブブロックは演算を行なわない。演算ブロック 200 ~ 205 は、パイプライン処理を実現する。



**【特許請求の範囲】**

【請求項 1】同時に処理を行うとする複数の画素毎にそれぞれ設けられ、入力した複数の第 1 の画素データを相互に並列に処理して複数の第 2 の画素データを生成する複数の画素処理回路と、

前記画素処理回路に入力する前記第 1 の画素データに基づいて、前記第 2 の画素データを生成するための画素処理を前記画素処理回路が行わないと判断した場合に、当該画素処理回路の動作を停止する制御手段とを有する画像処理装置。

【請求項 2】前記画素処理回路は、クロック信号に基づいて動作し、

前記制御手段は、前記第 2 の画素データを生成するための画素処理を前記画素処理回路が行うと判断した場合に、当該画素処理回路に前記クロック信号を供給し、前記第 2 の画素データを生成するための画素処理を前記画素処理回路が行わないと判断した場合に、当該画素処理回路への前記クロック信号の供給を停止する請求項 1 に記載の画像処理装置。

【請求項 3】前記画素処理回路の各々は、パイプライン処理を行うように相互に直列に接続された複数の処理回路を有する請求項 2 に記載の画像処理装置。

【請求項 4】前記画素処理回路内の直列に接続された複数の処理回路は、それぞれフラグ記憶部を有し、前記複数の処理回路の前記フラグ記憶部が直列接続されてシフトレジスタを構成し、当該シフトレジスタにより前記パイプライン処理および前記クロック信号の供給の制御を行う請求項 3 に記載の画像処理装置。

【請求項 5】前記画素処理回路は、画素の R（赤）、G（緑）、B（青）の出力を決定する画素データについての処理を行う請求項 1 に記載の画像処理装置。

【請求項 6】表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる画像処理装置において、

同時に処理を行なおうとする前記複数の画素データのそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断する画素位置判断手段と、

前記同時に処理を行おうとする前記複数の画素データを相互に並列に処理する複数の画素処理手段と、

前記画素位置判断手段の判断結果に基づいて、前記複数の画素処理手段のうち前記処理対象となっている単位図形の内側に位置する画素データを処理する前記画素処理手段以外の前記画素処理手段の動作を停止する制御手段とを有する画像処理装置。

【請求項 7】前記画素処理手段は、クロック信号に基づいて動作し、

前記制御手段は、前記処理対象となっている単位図形の内側に位置する画素の画素データを処理する前記画素処理手段にクロック信号を供給し、

前記処理対象となっている単位図形の内側に位置しない画素の画素データを処理する前記画素処理手段への前記クロック信号の供給を停止する請求項 6 に記載の画像処理装置。

【請求項 8】前記画素処理回路の各々は、パイプライン処理を行うように相互に直列に接続された複数の処理回路を有する請求項 7 に記載の画像処理装置。

【請求項 9】前記画素処理回路内の直列に接続された複数の処理回路は、それぞれフラグ記憶部を有し、前記複数の処理回路の前記フラグ記憶部が直列接続されてシフトレジスタを構成し、当該シフトレジスタにより前記パイプライン処理および前記クロック信号の供給の制御を行う請求項 8 に記載の画像処理装置。

【請求項 10】前記画素位置判断手段は、前記画素処理手段で処理される画素データに、前記判断の結果を示す有効性指示データを付加し、

前記制御手段は、前記有効性指示データに基づいて、前記画素処理手段の動作を停止するか否かを判断する請求項 6 に記載の画像処理装置。

【請求項 11】同時に処理を行うとする複数の画素毎にそれぞれ設けられ、複数の第 1 の画素データと対応する複数の第 2 の画素データとを、各画素毎に設定された混合比データが示す混合比で混合して複数の第 3 の画素データを生成する複数の画素処理手段と、

前記混合比データに基づいて、前記画素処理手段による前記混合を行うか否かを判断し、前記混合を行わないと判断した場合に、当該画素処理手段の動作を停止する制御手段とを有する画像処理装置。

【請求項 12】前記画素処理回路は、クロック信号に基づいて動作し、

前記制御手段は、前記混合を行うと判断した場合に、当該画素処理手段に前記クロック信号を供給し、

前記混合を行わないと判断した場合に、当該画素処理手段への前記クロック信号の供給を停止する請求項 11 に記載の画像処理装置。

【請求項 13】前記画素処理回路の各々は、パイプライン処理を行うように相互に直列に接続された複数の処理回路を有する請求項 12 に記載の画像処理装置。

【請求項 14】前記画素処理回路内の直列に接続された複数の処理回路は、それぞれフラグ記憶部を有し、前記複数の処理回路の前記フラグ記憶部が直列接続されてシフトレジスタを構成し、当該シフトレジスタにより前記パイプライン処理および前記クロック信号の供給の制御を行う請求項 13 に記載の画像処理装置。

【請求項 15】前記第 2 の画素データを記憶する記憶手段をさらに有し、

前記制御手段は、前記混合を行わないと判断した場合

に、前記第 1 の画素データによって前記記憶手段に記憶されている前記第 2 の画素データを書き換えるように制御し、

前記混合を行うと判断した場合に、前記第 3 の画素データによって前記記憶手段に記憶されている前記第 2 の画素データを書き換えるように制御する請求項 11 に記載の画像処理装置。

【請求項 16】表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる場合に、

同時に処理を行おうとする複数の画素毎にそれぞれ設けられ、複数の第 1 の画素データと対応する複数の第 2 の画素データとを、各画素毎に予め設定された混合比データが示す混合比で混合して複数の第 3 の画素データを生成する複数の画素処理手段と、

前記同時に処理を行なおうとする前記複数の画素のそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断し、前記対応する画素が前記単位図形の内側に位置しないと判断した場合、又は前記混合比データに基づいて前記混合を行わないと判断した場合に、当該画素についての画素処理を行う画素処理手段の動作を停止する制御手段とを有する画像処理装置。

【請求項 17】記憶手段と、

同時に処理を行おうとする複数の画素毎にそれぞれ設けられ、複数の第 1 の画素データから複数の第 2 の画素データを生成する複数の画素処理手段と、

複数の前記第 1 の画素データの複数の第 1 の奥行きデータと、前記複数の第 1 の奥行きデータに対応して前記記憶手段に記憶されている複数の第 3 の画素データの複数の第 2 の奥行きデータとをそれぞれ比較する比較手段と、

前記比較の結果に基づいて、前記記憶手段に記憶されている前記第 2 の奥行きデータに対応した第 3 の画素データを前記第 2 の画素データによって書き換えるか否かを判断し、書き換えないと判断した場合に、対応する画素処理手段の動作を停止する制御手段とを有する画像処理装置。

【請求項 18】前記画素処理回路は、クロック信号に基づいて動作し、

前記制御手段は、前記記憶手段に記憶されている前記第 3 の画素データを前記第 2 の画素データによって書き換えると判断した場合に、対応する前記画素処理手段に前記クロック信号を供給し、

前記記憶手段に記憶されている前記第 3 の画素データを前記第 2 の画素データによって書き換えないと判断した場合に、対応する画素処理手段への前記クロック信号の

供給を停止する請求項 17 に記載の画像処理装置。

【請求項 19】前記画素処理回路の各々は、パイプライン処理を行うように相互に直列に接続された複数の処理回路を有する請求項 18 に記載の画像処理装置。

【請求項 20】前記画素処理回路内の直列に接続された複数の処理回路は、それぞれフラグ記憶部を有し、前記複数の処理回路の前記フラグ記憶部が直列接続されてシフトレジスタを構成し、当該シフトレジスタにより前記パイプライン処理および前記クロック信号の供給の制御を行う請求項 19 に記載の画像処理装置。

【請求項 21】表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる場合に、

記憶手段と、

同時に処理を行おうとする複数の画素毎にそれぞれ設けられ、複数の第 1 の画素データから複数の第 2 の画素データを生成する複数の画素処理手段と、

前記複数の第 1 の画素データの複数の第 1 の奥行きデータと、前記複数の第 1 の奥行きデータに対応して前記記憶手段に記憶されている複数の第 3 の画素データの複数の第 2 の奥行きデータとを比較する比較手段と、

前記同時に処理を行なおうとする前記複数の画素のデータのそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断し、前記比較結果に基づいて前記記憶手段に記憶されている前記第 2 の奥行きデータに対応した第 3 の画素データを前記第 2 の画素データによって書き換えるか否かを判断し、当該判断の結果、前記対応する画素が前記単位図形の内側に位置しないと判断した場合、又は前記書き換えを行わないと判断した場合に、対応する画素処理手段の動作を停止する制御手段とを有する画像処理装置。

【請求項 22】同時に処理を行おうとする複数の画素毎にそれぞれ設けられ、複数の第 1 の画素データから複数の第 2 の画素データを生成する複数の画素処理手段を用いて画像処理を行う画像処理方法において、

前記画素処理回路が入力する前記第 1 の画素データに基づいて、前記第 2 の画素データを生成するための画素処理を前記画素処理回路が行うか否かを判断し、

前記第 2 の画素データを生成するための画素処理を前記画素処理回路が行わないと判断した場合に、当該画素処理回路の動作を停止する画像処理方法。

【請求項 23】前記画素処理回路がクロック信号に基づいて動作し、

前記第 2 の画素データを生成するための画素処理を前記画素処理回路が行うと判断した場合に、当該画素処理回路にクロック信号を供給し、

前記第 2 の画素データを生成するための画素処理を前記画素処理回路が行わないと判断した場合に、当該画素処理回路へのクロック信号の供給を停止する請求項 2 2 に記載の画像処理方法。

【請求項 2 4】前記画素処理回路の各々は、直列に接続された複数の処理回路でパイプライン処理を行う請求項 2 3 に記載の画像処理方法。

【請求項 2 5】前記画素処理回路内の直列に接続された複数の処理回路は、それぞれフラグ記憶部を有し、前記複数の処理回路の前記フラグ記憶部が直列接続されてシフトレジスタを構成し、当該シフトレジスタにより前記パイプライン処理および前記クロック信号の供給の制御を行う請求項 2 4 に記載の画像処理方法。

【請求項 2 6】前記画素処理は、画素の R（赤）、G（緑）、B（青）の出力を決定する画素データについての処理を行う請求項 2 2 に記載の画像処理方法。

【請求項 2 7】表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる画像処理方法において、

同時に処理を行なおうとする前記複数の画素データのそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断し、

前記同時に処理を行おうとする前記複数の画素のデータを複数の画素処理手段において相互に並列に処理し、前記判断の結果に基づいて、前記複数の画素処理手段のうち前記処理対象となっている単位図形の内側に位置する画素の画素データを処理する前記画素処理手段以外の前記画素処理手段の動作を停止する画像処理方法。

【請求項 2 8】前記画素処理手段がクロック信号に基づいて動作し、

前記処理対象となっている単位図形の内側に位置する画素の画素データを処理する前記画素処理手段にクロック信号を供給し、

前記処理対象となっている単位図形の内側に位置しない画素の画素データを処理する前記画素処理手段への前記クロック信号の供給を停止する請求項 2 7 に記載の画像処理方法。

【請求項 2 9】前記画素処理回路の各々は、直列に接続された複数の処理回路でパイプライン処理を行う請求項 2 8 に記載の画像処理方法。

【請求項 3 0】前記画素処理回路内の直列に接続された複数の処理回路は、それぞれフラグ記憶部を有し、前記複数の処理回路の前記フラグ記憶部が直列接続されてシフトレジスタを構成し、当該シフトレジスタにより前記パイプライン処理および前記クロック信号の供給の制御を行う請求項 2 9 に記載の画像処理方法。

【請求項 3 1】同時に処理を行おうとする複数の画素毎にそれぞれ設けられた複数の画素処理手段により、複数の第 1 の画素データと複数の第 2 の画素データとを、各画素毎に予め設定された混合比データが示す混合比で混合して複数の第 3 の画素データを生成し、

前記混合比データに基づいて、前記画素処理手段による前記混合を行うか否かを判断し、

前記混合を行わないと判断した場合に、対応する画素処理手段の動作を停止する画像処理方法。

【請求項 3 2】前記画素処理回路がクロック信号に基づいて動作し、

前記混合を行うと判断した場合に、対応する画素処理手段に前記クロック信号を供給し、

前記混合を行わないと判断した場合に、対応する画素処理手段への前記クロック信号の供給を停止する請求項 3 1 に記載の画像処理方法。

【請求項 3 3】前記画素処理回路の各々は、直列に接続された複数の処理回路でパイプライン処理を行う請求項 3 2 に記載の画像処理方法。

【請求項 3 4】前記画素処理回路内の直列に接続された複数の処理回路は、それぞれフラグ記憶部を有し、前記複数の処理回路の前記フラグ記憶部が直列接続されてシフトレジスタを構成し、当該シフトレジスタにより前記パイプライン処理および前記クロック信号の供給の制御を行う請求項 3 3 に記載の画像処理方法。

【請求項 3 5】表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる場合に、

同時に処理を行おうとする複数の画素毎にそれぞれ設けられた複数の画素処理手段により、複数の第 1 の画素データと複数の第 2 の画素データとを、各画素毎に予め設定された混合比データが示す混合比で混合して複数の第 3 の画素データを生成し、

前記同時に処理を行なおうとする前記複数の画素のそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断し、前記対応する画素が前記単位図形の内側に位置しないと判断した場合、又は前記混合比データに基づいて前記混合を行わないと判断した場合に、対応する前記画素処理手段の動作を停止する画像処理方法。

【請求項 3 6】同時に処理を行おうとする複数の画素毎にそれぞれ設けられた複数の画素処理手段により、複数の第 1 の画素データから複数の第 2 の画素データを生成し、

前記複数の第 1 の画素データの複数の第 1 の奥行きデータと、前記複数の第 1 の奥行きデータに対応して記憶手

段に記憶されている複数の第 3 の画素データの複数の第 2 の奥行きデータとをそれぞれ比較し、前記比較の結果に基づいて、前記記憶手段に記憶されている前記第 2 の奥行きデータに対応した第 3 の画素データを前記第 2 の画素データによって書き換えるか否かを判断し、書き換えないと判断した場合に、対応する画素処理手段の動作を停止する画像処理方法。

【請求項 3 7】前記画素処理回路がクロック信号に基づいて動作し、

前記記憶手段に記憶されている前記第 3 の画素データを前記第 2 の画素データによって書き換えると判断した場合に、対応する前記第 2 の画素処理手段に前記クロック信号を供給し、

前記記憶手段に記憶されている前記第 3 の画素データを前記第 2 の画素データによって書き換えないと判断した場合に、対応する前記第 2 の画素処理手段への前記クロック信号の供給を停止する請求項 3 6 に記載の画像処理方法。

【請求項 3 8】前記画素処理回路の各々は、直列に接続された複数の処理回路でパイプライン処理を行う請求項 3 7 に記載の画像処理方法。

【請求項 3 9】前記画素処理回路内の直列に接続された複数の処理回路は、それぞれフラグ記憶部を有し、前記複数の処理回路の前記フラグ記憶部が直列接続されてシフトレジスタを構成し、当該シフトレジスタにより前記パイプライン処理および前記クロック信号の供給の制御を行う請求項 3 8 に記載の画像処理方法。

【請求項 4 0】表示手段に表示する画像を所定形状の単位図形を組み合わせで表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる場合に、

同時に処理を行おうとする複数の画素毎にそれぞれ設けられた複数の画素処理手段により、複数の第 1 の画素データから複数の第 2 の画素データを生成し、

前記複数の前記第 1 の画素データの前記複数の第 1 の奥行きデータと、前記複数の第 1 の奥行きデータに対応して記憶手段に記憶されている複数の第 3 の画素データの複数の第 2 の奥行きデータとをそれぞれ比較し、前記同時に処理を行おうとする前記複数の画素のそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断し、前記比較の結果に基づいて、前記記憶手段に記憶されている前記第 2 の奥行きデータに対応した第 3 の画素データを前記第 2 の画素データによって書き換えるか否かを判断し、当該判断の結果、前記対応する画素が前記単位図形の内側に位置しないと判断した場合、又は前記書き換えを行わないと判断した場合に、対応する画素処理手段の動作を停止する画像処理方

法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低消費電力化を図れる画像処理装置およびその方法に関する。

【0002】

【従来の技術】種々の CAD (Computer Aided Design) システムや、アミューズメント装置などにおいて、コンピュータグラフィックスがしばしば用いられている。特に、近年の画像処理技術の進展に伴い、3次元コンピュータグラフィックスを用いたシステムが急速に普及している。このような3次元コンピュータグラフィックスでは、各画素（ピクセル）に対応する色を決定するとき、各画素の色の値を計算し、この計算した色の値を、当該画素に対応するディスプレイバッファ（フレームバッファ）のアドレスに書き込むレンダリング (Rendering) 処理を行う。レンダリング処理の手法の一つに、ポリゴン (Polygon) レンダリングがある。この手法では、立体モデルを三角形の単位図形（ポリゴン）の組み合わせで表現し、このポリゴンを単位として処理を行い、描画することで、表示画面の色を決定する。

【0003】ポリゴンレンダリングでは、物理座標系における三角形の各頂点についての、座標 (x, y, z) と、色データ (R, G, B,  $\alpha$ ) と、張り合わせのイメージパターンを示すテクスチャデータの同次座標 (s, t) および同次項 q の値とを入力とし、これらの値を三角形の内部で補間する処理が行われる。ここで、同次項 q は、簡単にいうと、拡大縮小率のようなもので、実際のテクスチャバッファの UV 座標系における座標、すなわち、テクスチャ座標データ (u, v) は、同次座標 (s, t) を同次項 q で除算した「 $s/q$ 」および「 $t/q$ 」に、それぞれテクスチャサイズ USIZE および VSIZE を乗じたものとなる。このような3次元コンピュータグラフィックスシステムでは、例えば、ディスプレイバッファ（フレームバッファ）に描画を行う際に、画素毎に、テクスチャ座標データ (u, v) を用いてテクスチャバッファからテクスチャデータを読み出し、この読み出したテクスチャデータを、立体モデルの表面に三角形を単位として張り付けるテクスチャマッピング処理を行う。なお、立体モデルでのテクスチャマッピング処理では、各画素毎に、張り付けを行なうテクスチャデータが示す画像の拡大縮小率が変化する。

【0004】ところで、このような3次元コンピュータグラフィックスシステムでは、例えば、所定の矩形内の 8 画素についての処理を並行して（同時に）行う場合がある。また、前述したような三角形を単位図形としたポリゴンレンダリングでは、張り付けを行うテクスチャデータの縮小率などは、三角形を単位として決定される。従って、並行して処理を行った 8 画素分の演算結果のうち、対象となる三角形の外部に位置する画素についての

演算結果は無効になる。具体的には、図 1 2 に示すように、三角形 3 0 について所定の演算を行って縮小率を決定し、当該縮小率に応じたテクスチャデータを用いてテクスチャマッピング処理を行っている場合を考える。ここで、矩形 3 1、3 2、3 3 は、それぞれ並行して処理される 8 (2 × 4) 画素が配置された領域であり、ポリゴンレンダリング処理において、各矩形内に属する 8 画素については同じテクスチャデータが用いられる。図 1 2 に示す場合には、矩形 3 2 に属する 8 画素は全て三角形 3 0 内に位置するため、8 画素の演算結果は全て有効「1」である。これに対して、矩形 3 1、3 3 にそれぞれ属する 8 画素は、3 画素は三角形 3 0 内に位置するが、5 画素は三角形 3 0 の外に位置する。従って、8 画素の演算結果のうち、3 画素の演算結果は有効であるが、5 画素の演算結果は無効となる。従来では、矩形内に位置する 8 画素の全てについて、ポリゴンレンダリング処理を無条件に行っていた。

【0005】

【発明が解決しようとする課題】しかしながら、上述したように、三角形を単位図形としたポリゴンレンダリング処理を行なう場合に、矩形内に位置する複数の画素の全てについての処理を、対象となっている三角形の内部に位置するか否かとは無関係に実行すると、膨大な数の無効な演算を行うことになり、消費電力に大きな影響を及ぼす。また、3 次元コンピュータグラフィックシステムでは、上述した理由の他にも、種々の要因で不要な演算を行うことがある。また、近年、3 次元コンピュータグラフィックシステムの動作クロック周波数は非常に高くなっているため、消費電力の低下が大きな課題になっている。

【0006】本発明は上述した従来技術の問題点に鑑みてなされ、消費電力の大幅な低下を図る画像処理装置およびその方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上述した目的を達成するために、本発明の第 1 の観点の画像処理装置は、同時に処理を行うとする複数の画素毎にそれぞれ設けられ、入力した複数の第 1 の画素データを相互に並列に処理して複数の第 2 の画素データを生成する複数の画素処理回路と、前記画素処理回路に入力する前記第 1 の画素データに基づいて、前記第 2 の画素データを生成するための画素処理を前記画素処理回路が行わないと判断した場合に、当該画素処理回路の動作を停止する制御手段とを有する。

【0008】また、本発明の第 2 の観点の画像処理装置は、表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内部に位置する画素

の画素データの処理結果を有効なものとして用いる画像処理装置であって、同時に処理を行なおうとする前記複数の画素データのそれぞれについて、対応する画素が前記単位図形の内部に位置するか否かを判断する画素位置判断手段と、前記同時に処理を行なおうとする前記複数の画素データを相互に並列に処理する複数の画素処理手段と、前記画素位置判断手段の判断結果に基づいて、前記複数の画素処理手段のうち前記処理対象となっている単位図形の内部に位置する画素データを処理する前記画素処理手段以外の前記画素処理手段の動作を停止する制御手段とを有する。

【0009】また、本発明の第 3 の観点の画像処理装置は、同時に処理を行うとする複数の画素毎にそれぞれ設けられ、複数の第 1 の画素データと対応する複数の第 2 の画素データとを、各画素毎に設定された混合比データが示す混合比で混合して複数の第 3 の画素データを生成する複数の画素処理手段と、前記混合比データに基づいて、前記画素処理手段による前記混合を行うか否かを判断し、前記混合を行わないと判断した場合に、当該画素処理手段の動作を停止する制御手段とを有する。

【0010】また、本発明の第 4 の観点の画像処理装置は、表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内部に位置する画素の画素データの処理結果を有効なものとして用いる場合に、同時に処理を行なおうとする複数の画素毎にそれぞれ設けられ、複数の第 1 の画素データと対応する複数の第 2 の画素データとを、各画素毎に予め設定された混合比データが示す混合比で混合して複数の第 3 の画素データを生成する複数の画素処理手段と、前記同時に処理を行なおうとする前記複数の画素のそれぞれについて、対応する画素が前記単位図形の内部に位置するか否かを判断し、前記対応する画素が前記単位図形の内部に位置しないと判断した場合、又は前記混合比データに基づいて前記混合を行わないと判断した場合に、当該画素についての画素処理を行う画素処理手段の動作を停止する制御手段とを有する。

【0011】また、本発明の第 5 の観点の画像処理装置は、記憶手段と、同時に処理を行なおうとする複数の画素毎にそれぞれ設けられ、複数の第 1 の画素データから複数の第 2 の画素データを生成する複数の画素処理手段と、複数の前記第 1 の画素データの複数の第 1 の奥行きデータと、前記複数の第 1 の奥行きデータに対応して前記記憶手段に記憶されている複数の第 3 の画素データの複数の第 2 の奥行きデータとをそれぞれ比較する比較手段と、前記比較の結果に基づいて、前記記憶手段に記憶されている前記第 2 の奥行きデータに対応した第 3 の画素データを前記第 2 の画素データによって書き換えるか



否かを判断し、書き換えないと判断した場合に、対応する画素処理手段の動作を停止する制御手段とを有する。

【0012】また、本発明の第6の観点の画像処理装置は、表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる場合に、記憶手段と、同時に処理を行おうとする複数の画素毎にそれぞれ設けられ、複数の第1の画素データから複数の第2の画素データを生成する複数の画素処理手段と、前記複数の第1の画素データの複数の第1の奥行きデータと、前記複数の第1の奥行きデータに対応して前記記憶手段に記憶されている複数の第3の画素データの複数の第2の奥行きデータとを比較する比較手段と、前記同時に処理を行なおうとする前記複数の画素のデータのそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断し、前記比較結果に基づいて前記記憶手段に記憶されている前記第2の奥行きデータに対応した第3の画素データを前記第2の画素データによって書き換えるか否かを判断し、当該判断の結果、前記対応する画素が前記単位図形の内側に位置しないと判断した場合、又はかつ前記書き換えを行わないと判断した場合に、対応する画素処理手段の動作を停止する制御手段とを有する。

【0013】また、本発明の第1の観点の画像処理方法は、同時に処理を行おうとする複数の画素毎にそれぞれ設けられ、複数の第1の画素データから複数の第2の画素データを生成する複数の画素処理手段を用いて画像処理を行う画像処理方法であって、前記画素処理回路が入力する前記第1の画素データに基づいて、前記第2の画素データを生成するための画素処理を前記画素処理回路が行うか否かを判断し、前記第2の画素データを生成するための画素処理を前記画素処理回路が行わないと判断した場合に、当該画素処理回路の動作を停止する。

【0014】また、本発明の第2の観点の画像処理方法は、表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる画像処理方法であって、同時に処理を行なおうとする前記複数の画素データのそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断し、前記同時に処理を行おうとする前記複数の画素のデータを複数の画素処理手段において相互に並列に処理し、前記判断の結果に基づいて、前記複数の画素処理手段のうち前記処理対象となっている単位図形の内側に位置する画素の画

素データを処理する前記画素処理手段以外の前記画素処理手段の動作を停止する。

【0015】また、本発明の第3の観点の画像処理方法は、同時に処理を行おうとする複数の画素毎にそれぞれ設けられた複数の画素処理手段により、複数の第1の画素データと複数の第2の画素データとを、各画素毎に予め設定された混合比データが示す混合比で混合して複数の第3の画素データを生成し、前記混合比データに基づいて、前記画素処理手段による前記混合を行うか否かを判断し、前記混合を行わないと判断した場合に、対応する画素処理手段の動作を停止する。

【0016】また、本発明の第4の観点の画像処理方法は、表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる場合に、同時に処理を行おうとする複数の画素毎にそれぞれ設けられた複数の画素処理手段により、複数の第1の画素データと複数の第2の画素データとを、各画素毎に予め設定された混合比データが示す混合比で混合して複数の第3の画素データを生成し、前記同時に処理を行なおうとする前記複数の画素のそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断し、前記対応する画素が前記単位図形の内側に位置しないと判断した場合、又は前記混合比データに基づいて前記混合を行わないと判断した場合に、対応する前記画素処理手段の動作を停止する。

【0017】また、本発明の第5の観点の画像処理方法は、同時に処理を行おうとする複数の画素毎にそれぞれ設けられた複数の画素処理手段により、複数の第1の画素データから複数の第2の画素データを生成し、前記複数の第1の画素データの複数の第1の奥行きデータと、前記複数の第1の奥行きデータに対応して記憶手段に記憶されている複数の第3の画素データの複数の第2の奥行きデータとをそれぞれ比較し、前記比較の結果に基づいて、前記記憶手段に記憶されている前記第2の奥行きデータに対応した第3の画素データを前記第2の画素データによって書き換えるか否かを判断し、書き換えないと判断した場合に、対応する画素処理手段の動作を停止する。

【0018】また、本発明の第6の観点の画像処理方法は、表示手段に表示する画像を所定形状の単位図形を組み合わせて表現し、同一の前記単位図形内に位置する複数の画素の画素データを同一の処理条件に基づいて処理し、同時に処理を行う複数の画素の画素データのうち処理対象となっている前記単位図形の内側に位置する画素の画素データの処理結果を有効なものとして用いる場合に、同時に処理を行おうとする複数の画素毎にそれぞれ

設けられた複数の画素処理手段により、複数の第 1 の画素データから複数の第 2 の画素データを生成し、前記複数の前記第 1 の画素データの前記複数の第 1 の奥行きデータと、前記複数の第 1 の奥行きデータに対応して前記記憶手段に記憶されている複数の第 3 の画素データの複数の第 2 の奥行きデータとをそれぞれ比較し、前記同時に処理を行おうとする前記複数の画素のそれぞれについて、対応する画素が前記単位図形の内側に位置するか否かを判断し、前記比較の結果に基づいて、前記記憶手段に記憶されている前記第 2 の奥行きデータに対応した第 3 の画素データを前記第 2 の画素データによって書き換えるか否かを判断し、当該判断の結果、前記対応する画素が前記単位図形の内側に位置しないと判断した場合、又は前記書き換えを行わないと判断した場合に、対応する画素処理手段の動作を停止する。

【0019】

【発明の実施の形態】以下、本実施形態においては、家庭用ゲーム機などに適用される、任意の 3 次元物体モデルに対する所望の 3 次元画像を CRT (Cathode Ray Tube) などのディスプレイ上に高速に表示する 3 次元コンピュータグラフィックシステムについて説明する。

#### 第 1 実施形態

図 1 は、本実施形態の 3 次元コンピュータグラフィックシステム 1 のシステム構成図である。3 次元コンピュータグラフィックシステム 1 は、立体モデルを単位図形である三角形（ポリゴン）の張り合わせとして表現し、このポリゴンを描画することで表示画面の各画素の色を決定し、ディスプレイに表示するポリゴンレンダリング処理を行うシステムである。また、3 次元コンピュータグラフィックシステム 1 では、平面上の位置を表現する

( $x$ ,  $y$ ) 座標の他に、奥行きを表す  $z$  座標を用いて 3 次元物体を表し、この ( $x$ ,  $y$ ,  $z$ ) の 3 つの座標で 3 次元空間の任意の一点を特定する。

【0020】図 1 に示すように、3 次元コンピュータグラフィックシステム 1 では、メインメモリ 2、I/O インタフェース回路 3、メインプロセッサ 4 およびレンダリング回路 5 が、メインバス 6 を介して接続されている。以下、各構成要素の機能について説明する。メインプロセッサ 4 は、例えば、ゲームの進行状況などに応じて、メインメモリ 2 から必要なグラフィックデータを読み出し、このグラフィックデータに対してクリッピング (Clipping) 処理、ライティング (Lighting) 処理およびジオメトリ (Geometry) 処理などを行い、ポリゴンレンダリングデータを生成する。メインプロセッサ 4 は、ポリゴンレンダリングデータ S4 を、メインバス 6 を介してレンダリング回路 5 に出力する。I/O インタフェース回路 3 は、必要に応じて、外部からポリゴンレンダリングデータを入力し、これをメインバス 6 を介してレンダリング回路 5 に出力する。

【0021】ここで、ポリゴンレンダリングデータは、

ポリゴンの各 3 頂点の ( $x$ ,  $y$ ,  $z$ ,  $R$ ,  $G$ ,  $B$ ,  $\alpha$ ,  $s$ ,  $t$ ,  $q$ ) のデータを含んでいる。( $x$ ,  $y$ ,  $z$ ) データは、ポリゴンの頂点の 3 次元座標を示し、( $R$ ,  $G$ ,  $B$ ) データは、それぞれ当該 3 次元座標における赤、緑、青の輝度値を示している。 $\alpha$  データは、これから描画する画素と、ディスプレイバッファ 21 に既に記憶されている画素との  $R$ ,  $G$ ,  $B$  データのブレンド (混合) 係数を示している。( $s$ ,  $t$ ,  $q$ ) データのうち、( $s$ ,  $t$ ) は、対応するテクスチャの同次座標を示しており、 $q$  は同次項を示している。ここで、「 $s/q$ 」および「 $t/q$ 」に、それぞれテクスチャサイズ  $USIZ$  および  $VSIZ$  を乗じてテクスチャ座標データ ( $u$ ,  $v$ ) が得られる。テクスチャバッファ 20 に記憶されたテクスチャデータへのアクセスは、テクスチャ座標データ ( $u$ ,  $v$ ) を用いて行われる。すなわち、ポリゴンレンダリングデータは、三角形の各頂点の物理座標値と、それぞれの頂点の色とテクスチャデータの同次座標および同次項を示している。

【0022】以下、レンダリング回路 5 について詳細に説明する。図 1 に示すように、レンダリング回路 5 は、DDA (Digital Differential Analyzer) セットアップ回路 10、トライアングル DDA 回路 11、テクスチャエンジン回路 12、メモリ I/F 回路 13、CRT コントローラ回路 14、RAMDAC 回路 15、DRAM 16 および SRAM 17 を有する。DRAM 16 は、テクスチャバッファ 20、ディスプレイバッファ 21、 $z$  バッファ 22 およびテクスチャ CLUT バッファ 23 として機能する。

#### 【0023】DDA セットアップ回路 10

DDA セットアップ回路 10 は、後段のトライアングル DDA 回路 11 において物理座標系上の三角形の各頂点の値を線形補間して三角形の内部の各画素の色と深さ情報を求めるのに先立ち、ポリゴンレンダリングデータ S4 が示す ( $z$ ,  $R$ ,  $G$ ,  $B$ ,  $\alpha$ ,  $s$ ,  $t$ ,  $q$ ) データについて、三角形の辺と水平方向の差分を求めるセットアップ演算を行う。このセットアップ演算は、具体的には、開始点の値と終点の値と、開始点と終点との距離を用いて、単位長さ移動した場合における、求めようとしている値の変分を算出する。

【0024】また、DDA セットアップ回路 10 は、同時に処理を行う 8 画素のそれぞれについて、処理対象となる三角形の内部に位置するか否かを示す 1 ビットの有効指示データ  $val$  を決定する。具体的には、有効指示データ  $val$  は、三角形の内部に位置する画素について「1」とし、三角形の外部に位置する画素について「0」とする。DDA セットアップ回路 10 は、算出した変分データ  $S10$  と、各画素の有効指示データ  $val$  とをトライアングル DDA 回路 11 に出力する。

#### 【0025】トライアングル DDA 回路 11

トライアングル DDA 回路 11 は、DDA セットアップ

回路10から入力した変分データS10を用いて、三角形内部の各画素の線形補間された $(z, R, G, B, \alpha, s, t, q)$ データを算出する。トライアングルDDA回路11は、各画素の $(x, y)$ データと、当該 $(x, y)$ 座標の画素についての $(z, R, G, B, \alpha, s, t, q, val)$ データとを、DDAデータ(補間データ)S11としてテクスチャエンジン回路12に出力する。本実施形態では、トライアングルDDA回路11は、並行して処理を行う矩形内に位置する8画素分のDDAデータS11を単位としてテクスチャエンジン回路12に出力する。

【0026】ここで、DDAデータS11の $(z, R, G, B, \alpha, s, t, q, val)$ データは、図2に示すように、161ビットのデータである。具体的には、 $R, G, B, \alpha$ データがそれぞれ8ビットであり、 $z, s, t, q$ データがそれぞれ32ビットであり、 $val$ データが1ビットである。なお、以下、並行して処理を行う8画素についての $(z, R, G, B, \alpha, s, t, q, val)$ データのうち、 $val$ データを $val$ データS2201~S2208とし、 $(z, R, G, B, \alpha, s, t, q)$ データを被演算データS2211~S2218とする。すなわち、トライアングルDDA回路11は、8画素分の $(x, y)$ データと、 $val$ データS2201~S2208と、被演算データS2211~S2218からなるDDAデータS11をテクスチャエンジン回路12に出力する。

#### 【0027】テクスチャエンジン回路12およびメモリI/F回路13

テクスチャエンジン回路12による、DDAデータS11を用いた、「 $s/q$ 」および「 $t/q$ 」の算出処理、テクスチャ座標データ $(u, v)$ の算出処理、および、テクスチャバッファ20からの $(R, G, B, \alpha)$ データの読み出し処理と、メモリI/F回路13による $z$ 比較処理および混合処理とを、図3に示す演算ブロック200, 201, 202, 204, 205でパイプライン方式で順に実行する。ここで、演算ブロック200, 201, 202, 204, 205は、それぞれ8個の演算サブブロックを内蔵しており、8画素分の演算処理を並行して行う。ここで、テクスチャエンジン回路12が演算ブロック200, 201, 202を内蔵し、メモリI/F回路13が演算ブロック204, 205を内蔵している。

【0028】〔演算ブロック200〕演算ブロック200は、DDAデータS11に含まれる $(s, t, q)$ データを用いて、 $s$ データを $q$ データで除算する演算と、 $t$ データを $q$ データで除算する演算とを行う。演算ブロック200は、図3に示すように、8個の演算サブブロック2001~2008を内蔵する。ここで、演算サブブロック2001は、被演算データS2211および $val$ データS2201を入力し、 $val$ データS2201

1が「1」、すなわち有効であることを示す場合には、「 $s/q$ 」および「 $t/q$ 」を算出し、その算出結果を除算結果S2001として演算ブロック201の演算サブブロック2011に出力する。

【0029】また、演算サブブロック2001は、 $val$ データS2201が「0」、すなわち無効であることを示す場合には、演算は行わず、除算結果S2001を出力しないか、あるいは、所定の仮値を示す除算結果S2001を演算ブロック201の演算サブブロック2011に出力する。また、演算サブブロック2001は、 $val$ データS2201を後段の演算サブブロック2011に出力する。なお、演算サブブロック2002~2008も、それぞれ対応する画素について、演算サブブロック2001と同じ演算を行い、それぞれ除算結果S2002~S2008 および $val$ データS2202~S2208を後段の演算ブロック201の演算サブブロック2012~2018にそれぞれ出力する。

【0030】図4は、演算サブブロック2001の内部構成図である。なお、図3に示す、全ての演算サブブロックは、基本的に、図4に示す構成をしている。図4に示すように、演算サブブロック2001は、クロックイネーブラ2101、データ用フリップフロップ222、プロセッサエレメント223およびフラグ用フリップフロップ224を有する。クロックイネーブラ2101は、システムクロック信号S225を基準としたタイミングで $val$ データS2201を入力し、 $val$ データS2201のレベルを検出する。そして、クロックイネーブラ2101は、 $val$ データS2201が、「1」である場合には、例えば、クロック信号S2101にパルス発生させ、「0」である場合には、クロック信号S2101にパルス発生させない。

【0031】データ用フリップフロップ222は、クロック信号S2101のパルスを検出すると、被演算データS2211を取り込み、プロセッサエレメント223に出力する。プロセッサエレメント223は、入力した被演算データS2211を用いて前述した除算を行い、除算結果S2001を演算サブブロック2011のデータ用フリップフロップ222に出力する。フラグ用フリップフロップ224は、システムクロック信号S225を基準としたタイミングで、 $val$ データS2201を取り込み、後段の演算ブロック201の演算サブブロック2011のフラグ用フリップフロップ224に出力する。なお、システムクロック信号S225は、図3に示す全ての演算サブブロック2001~2008, 2011~2018, 2021~2028, 2041~2048のクロックイネーブラおよびフラグ用フリップフロップ224に供給される。すなわち、演算サブブロック2001~2008, 2011~2018, 2021~2028, 2041~2048における処理は同期して行われ、同一の演算ブロックに内蔵された8個の演算サブ

ブロックは並行して処理を行う。

【0032】〔演算ブロック201〕演算ブロック201は、演算サブブロック2011～2018を有し、演算ブロック200から入力した除算結果S2001～S2008が示す「 $s/q$ 」および「 $t/q$ 」に、それぞれテクスチャサイズUSIZEおよびVSIZEを乗じて、テクスチャ座標データ(u, v)を生成する。演算サブブロック2011～2018は、それぞれクロックイネーブラ2111～2118によりvalデータS2201～S2208のレベル検出を行った結果、当該レベルが「1」の場合にのみ演算を行い、それぞれ演算結果であるテクスチャ座標データS2011～S2018を、演算ブロック202の演算サブブロック2021～2028に出力する。

【0033】〔演算ブロック202〕演算ブロック202は、演算サブブロック2021～2028を有し、メモリI/F回路13を介して、SRAM17あるいはDRAM16に、演算ブロック201で生成したテクスチャ座標データ(u, v)を含む読み出し要求を出力し、メモリI/F回路13を介して、SRAM17あるいはテクスチャバッファ20に記憶されているテクスチャデータを読み出すことで、(u, v)データに対応したテクスチャアドレスに記憶された(R, G, B,  $\alpha$ )データS17を得る。なお、テクスチャバッファ20には、MIPMAP(複数解像度テクスチャ)などの複数の縮小率に対応したテクスチャデータが記憶されている。ここで、何れの縮小率のテクスチャデータを用いるかは、所定のアルゴリズムを用いて、前記三角形を単位として決定される。また、SRAM17には、テクスチャバッファ20に記憶されているテクスチャデータのコピーが記憶されている。演算サブブロック2021～2028は、それぞれクロックイネーブラ2121～2128によりvalデータS2201～S2208のレベル検出を行った結果、当該レベルが「1」の場合にのみ読み出し処理を行い、それぞれ読み出した(R, G, B,  $\alpha$ )データS17を、(R, G, B,  $\alpha$ )データS2021～S2028として、それぞれ演算ブロック203の演算サブブロック2031～2038に出力する。

【0034】なお、テクスチャエンジン回路12は、フルカラー方式の場合には、テクスチャバッファ20から読み出した(R, G, B,  $\alpha$ )データを直接用いる。一方、テクスチャエンジン回路12は、インデックスカラー方式の場合には、予め作成したカラーlookupテーブル(CLUT)をテクスチャCLUTバッファ23から読み出して、内蔵するSRAMに転送および記憶し、このカラーlookupテーブルを用いて、テクスチャバッファ20から読み出したカラーインデックスに対応する(R, G, B)データを得る。

【0035】〔演算ブロック203〕演算ブロック203は、演算サブブロック2031～2038を有し、演

算ブロック202から入力したテクスチャデータである(R, G, B,  $\alpha$ )データS2021～S2028と、トライアングルDDA回路11からのDDAデータS11に含まれる(R, G, B)データとを、(R, G, B,  $\alpha$ )データS2021～S2028に含まれる $\alpha$ データ(テクスチャ $\alpha$ )が示す割合で混合し、(R, G, B)混合データを生成する。そして、演算ブロック203は、生成された(R, G, B)混合データと、対応するDDAデータS11に含まれる $\alpha$ データとを含む(R, G, B,  $\alpha$ )データS2031～S2038を、演算ブロック204に出力する。演算サブブロック2031～2038は、それぞれクロックイネーブラ2131～2138によりvalデータS2201～S2208のレベル検出を行った結果、当該レベルが「1」の場合にのみ上記混合および(R, G, B,  $\alpha$ )データS2031～S2038の出力を行う。

【0036】〔演算ブロック204〕演算ブロック204は、演算サブブロック2041～2048を有し、入力した(R, G, B,  $\alpha$ )データS2031～S2038について、zバッファ22に記憶されたzデータの内容を用いて、z比較を行い、(R, G, B,  $\alpha$ )データS2031～S2038によって描画する画像が、前回、ディスプレイバッファ21に描画した値よりも手前(視点側)に位置する場合には、zバッファ22を更新すると共に、(R, G, B,  $\alpha$ )データS2031～S2038を、(R, G, B,  $\alpha$ )データS2041～S2048として、それぞれ演算ブロック205の演算サブブロック2051～2058に出力する。演算サブブロック2041～2048は、それぞれクロックイネーブラ2141～2148によりvalデータS2201～S2208のレベル検出を行った結果、当該レベルが「1」の場合にのみ上述したz比較および(R, G, B,  $\alpha$ )データS2041～S2048の出力を行なう。

【0037】〔演算ブロック205〕演算ブロック205は、演算サブブロック2051～2058を有し、入力した(R, G, B,  $\alpha$ )データS2041～S2048と、既にディスプレイバッファ21に記憶されている(R, G, B)データとを、それぞれ(R, G, B,  $\alpha$ )データS2041～S2048に含まれる $\alpha$ データが示す混合値で混合し、混合後の(R, G, B)データS2051～S2058をディスプレイバッファ21に書き込む(打ち込む)。なお、メモリI/F回路13によるDRAM16に対してのアクセスは、16画素について同時に行なわれる。演算サブブロック2051～2058は、それぞれクロックイネーブラ2151～2158によりvalデータS2201～S2208のレベル検出を行った結果、当該レベルが「1」の場合にのみ上述した混合処理およびディスプレイバッファ21への書き込み処理を行う。

#### 【0038】CRTコントローラ回路14

CRTコントローラ回路14は、与えられた水平および垂直同期信号に同期して、図示しないCRTに表示するアドレスを発生し、ディスプレイバッファ21から表示データを読み出す要求をメモリI/F回路13に出力する。この要求に応じて、メモリI/F回路13は、ディスプレイバッファ21から一定の固まりで表示データを読み出す。CRTコントローラ回路14は、ディスプレイバッファ21から読み出した表示データを記憶するFIFO(First In First Out)回路を内蔵し、一定の時間間隔で、RAMDAC回路15に、RGBのインデックス値を出力する。

#### 【0039】RAMDAC回路15

RAMDAC回路15は、各インデックス値に対応するR、G、Bデータを記憶しており、CRTコントローラ回路14から入力したRGBのインデックス値に対応するデジタル形式のR、G、Bデータを、D/Aコンバータに転送し、アナログ形式のR、G、Bデータを生成する。RAMDAC回路15は、この生成されたR、G、BデータをCRTに出力する。

【0040】以下、3次元コンピュータグラフィックスシステム1の全体動作について説明する。ポリゴンレンダリングデータS4が、メインバス6を介してメインプロセッサ4からDDAセットアップ回路10に出力され、DDAセットアップ回路10において、三角形の辺と水平方向の差分などを示す変分データS10が生成される。この変分データS10は、トライアングルDDA回路11に出力され、トライアングルDDA回路11において、三角形内部の各画素における線形補間された

(z, R, G, B,  $\alpha$ , s, t, q) データが算出される。そして、この算出された(z, R, G, B,  $\alpha$ , s, t, q) データと、三角形の各頂点の(x, y) データとが、DDAデータS11として、トライアングルDDA回路11からテクスチャエンジン回路12に出力される。

【0041】次に、テクスチャエンジン回路12およびメモリI/F回路13において、DDAデータS11を用いて、「s/q」および「t/q」の算出処理、テクスチャ座標データ(u, v)の算出処理、テクスチャバッファ20からのデジタルデータとしての(R, G, B,  $\alpha$ )データの読み出し処理、混合処理、および、ディスプレイバッファ21への書き込み処理が、図3に示す演算ブロック200、201、202、...、203、204、205でパイプライン方式で順に実行される。

【0042】次に、図3に示すテクスチャエンジン回路12およびメモリI/F回路13のパイプライン処理の動作について説明する。ここでは、例えば、図6に示すような矩形31内の8画素について同時処理する場合を考える。この場合には、valデータS2201、S2202、S2203、S2205、S2206が「0」

を示し、valデータS2204、S2207、S2208が「1」を示している。

【0043】valデータS2201～S2208および被演算データS2211～S2218が、それぞれ対応する演算サブブロック2001～2008のクロックイネーブラ2101～2108に入力される。そして、クロックイネーブラ2101～2108において、それぞれvalデータS2201～S2208のレベルが検出される。具体的には、クロックイネーブラ2104、2107、2108において「1」が検出され、クロックイネーブラ2101、2102、2103、2105、2106において「0」が検出される。その結果、演算サブブロック2004、2007、2008においてのみ、被演算データS2214、S2217、S2218を用いて、「s/q」および「t/q」が算出され、当該除算結果S2004、S2007、S2008が演算ブロック201の演算ブロック2014、2017、2018に出力される。一方、演算サブブロック2001、2002、2003、2005、2006では、除算は行なわれない。また、除算結果S2004、S2007、S2008の出力と同期して、valデータS2201～S2208が、演算ブロック201の演算サブブロック2011～2018に出力される。

【0044】次に、演算サブブロック2011～2018のクロックイネーブラ2101～2108において、それぞれvalデータS2201～S2208のレベルが検出される。そして、この検出結果に基づいて、演算サブブロック2014、2017、2018においてのみ、除算結果S2004、S2007、S2008が示す「s/q」および「t/q」に、それぞれテクスチャサイズUSIZEおよびVSIZEを乗じて、テクスチャ座標データS2024、S2027、S2028が生成され、それぞれ演算ブロック202の演算サブブロック2024、2027、2028に出力される。一方、演算サブブロック2011、2012、2013、2015、2016では、演算は行なわれない。また、テクスチャ座標データS2024、S2027、S2028の出力と同期して、valデータS2201～S2208が、演算ブロック202の演算サブブロック2021～2028に出力される。

【0045】次に、演算サブブロック2021～2028のクロックイネーブラ2121～2128において、それぞれvalデータS2201～S2208のレベルが検出される。そして、この検出結果に基づいて、演算サブブロック2024、2027、2028においてのみ、SRAM17あるいはテクスチャバッファ20に記憶されているテクスチャデータの読み出し処理が行なわれ、(s, t)データに対応したテクスチャアドレスに記憶された(R, G, B,  $\alpha$ )データが読み出される。そして、この読み出した(R, G, B,  $\alpha$ )データS2

024, S2027, S2028 が、演算ブロック204の演算サブブロック2034, 2037, 2038に出力される。一方、演算サブブロック2021, 2022, 2023, 2025, 2026では、読み出し処理は行なわれない。また、(R, G, B,  $\alpha$ ) データS2024, S2027, S2028の出力と同期して、valデータS2201~S2208が、演算ブロック203の演算サブブロック2031~2038に出力される。

【0046】次に、演算サブブロック2031~2038のクロックイネーブラ2121~2128において、それぞれvalデータS2201~S2208のレベルが検出される。そして、この検出結果に基づいて、演算サブブロック2034, 2037, 2038においてのみ、それぞれ演算ブロック202から入力したテクスチャデータである(R, G, B,  $\alpha$ ) データS2024, 2027, 2028と、トライアングルDDA回路11からのDDAデータS11に含まれる(R, G, B) データとを、(R, G, B,  $\alpha$ ) データS2024, 2027, 2028に含まれる $\alpha$ データ(テクスチャ $\alpha$ )が示す割合で混合し、(R, G, B) 混合データを生成する。そして、演算サブブロック2034, 2037, 2038は、生成された(R, G, B) 混合データと、対応するDDAデータS11に含まれる $\alpha$ データとを含む(R, G, B,  $\alpha$ ) データS2034, 2037, 2038を、演算ブロック204に出力する。一方、演算サブブロック2031, 2032, 2033, 2035, 2036では、混合処理は行なわれない。

【0047】次に、演算サブブロック2041~2048のクロックイネーブラ2141~2148において、それぞれvalデータS2201~S2208のレベルが検出される。そして、この検出結果に基づいて、演算サブブロック2044, 2047, 2048においてのみ、(R, G, B,  $\alpha$ ) データS2034, S2037, S2038について、zバッファ22に記憶されたzデータの内容を用いて、z比較が行なわれ、(R, G, B,  $\alpha$ ) データS2034, S2037, S2038によって描画する画像が、前回、ディスプレイバッファ21に描画した値よりも手前に位置する場合には、zバッファ22が更新されると共に、(R, G, B,  $\alpha$ ) データS2034, S2037, S2038が、それぞれ(R, G, B,  $\alpha$ ) データS2044, S2047, S2048として、それぞれ演算サブブロック205の演算サブブロック2054, 2057, 2058に出力される。

【0048】次に、演算サブブロック2051~2058のクロックイネーブラ2151~2158において、それぞれvalデータS2201~S2208のレベルが検出される。そして、この検出結果に基づいて、(R, G, B,  $\alpha$ ) データS2044, S2047, S

2048の(R, G, B) データと、既にディスプレイバッファ21に記憶されている(R, G, B) データとが、 $\alpha$ データが示す混合値で混合され、(R, G, B) データS2054, S2057, S2058が最終的に算出される。そして、この混合処理された、(R, G, B) データS2054, S2057, S2058が、ディスプレイバッファ21に書き込まれる。一方、演算サブブロック2041, 2042, 2043, 2045, 2046では、混合処理は行なわれない。

【0049】すなわち、テクスチャエンジン回路12およびメモリI/F回路13では、図6に示す矩形31内の画素について同時に処理を行なう場合に、三角形30の外に位置する画素についての処理は行なわない。すなわち、図4に示す矩形31内の画素についての演算を行なっている間は、演算サブブロック2001, 2002, 2003, 2005, 2006, 2011, 2012, 2013, 2015, 2016, 2021, 2022, 2023, 2025, 2026, 2041, 2042, 2043, 2045, 2046, 2051, 2052, 2053, 2055, 2056は停止した状態になり、これらの演算サブブロックは電力を消費しない。

【0050】以上説明したように、3次元コンピュータグラフィックシステム1によれば、テクスチャエンジン回路12におけるパイプライン処理において、同時処理する8画素のうち、処理対象となる三角形の外部に位置する画素についての演算は行なわないようにすることができる。そのため、テクスチャエンジン回路12における消費電力を大幅に低減できる。その結果、3次元コンピュータグラフィックシステム1の電源として、簡単かつ安価なものを用いることができる。なお、テクスチャエンジン回路12は、図3および図4に示すように、各演算サブブロックに、クロックイネーブラおよび1ビットのフラグ用フリップフロップを組み込むことで、上述した機能を実現するが、クロックイネーブラおよび1ビットのフラグ用フリップフロップの回路規模は小さいため、テクスチャエンジン回路12の回路規模が大幅に増大することはない。

#### 【0051】第2実施形態

図5は、本実施形態の3次元コンピュータグラフィックシステム451のシステム構成図である。本実施形態の3次元コンピュータグラフィックシステム451は、 $\alpha$ ブレンド処理を行うか否かを各画素毎に予め判断し、 $\alpha$ ブレンド処理を行わないと判断した場合に、 $\alpha$ ブレンド処理を行う演算サブブロックのうち対応する演算サブブロックの処理を停止させる点を除いて、前述した第1実施形態の3次元コンピュータグラフィックシステム1と同じである。すなわち、本実施形態では、各演算サブブロックは、第1実施形態の場合と同様に、対応する画素が処理対象となる三角形の外部に位置する場合には処理を停止する。また、演算サブブロックのうち $\alpha$ ブレンド

処理を行う演算サブブロックは、対応する画素が処理対象となる三角形の外部に位置するか、あるいは対応する画素の $\alpha$ データが「0」である場合に処理を停止する。

【0052】図5に示すように、3次元コンピュータグラフィックシステム451は、メインメモリ2、I/Oインタフェース回路3、メインプロセッサ4およびレンダリング回路425がメインバス6を介して接続されている。図5において、図1と同じ符号を付した構成要素は、第1実施形態で説明した同一符号を付した構成要素と同じである。すなわち、メインメモリ2、I/Oインタフェース回路3、メインプロセッサ4およびメインバス6は、第1実施形態で説明したものと同一である。

【0053】また、図5に示すように、レンダリング回路425は、DDAセットアップ回路10、トライアングルDDA回路411、テクスチャエンジン回路12、メモリI/F回路413、CRTコントローラ回路14、RAMDAC回路15、DRAM16およびSRAM17を有する。ここで、DDAセットアップ回路10、テクスチャエンジン回路12、CRTコントローラ回路14、RAMDAC回路15、DRAM16およびSRAM17は、第1実施形態で説明したものと同一である。

【0054】以下、トライアングルDDA回路411およびメモリI/F回路413について説明する。

#### トライアングルDDA回路411

トライアングルDDA回路411は、前述した第1実施形態のトライアングルDDA回路11と同様に、DDAセットアップ回路10から入力した変分データS10を用いて、三角形内部の各画素の線形補間された(z, R, G, B,  $\alpha$ , s, t, q)データを算出する。トライアングルDDA回路411は、各画素の(x, y)データと、当該(x, y)座標の画素についての(z, R, G, B,  $\alpha$ , s, t, q, val)データとを、DDAデータ(補間データ)S11としてテクスチャエンジン回路12に出力する。本実施形態では、トライアングルDDA回路411は、並行して処理を行う矩形内に位置する8画素分のDDAデータS11を単位としてテクスチャエンジン回路12に出力する。なお、以下、並行して処理を行う8画素についての(z, R, G, B,  $\alpha$ , s, t, q, val)データのうち、valデータをvalデータS2201~S2208とし、(z, R, G, B,  $\alpha$ , s, t, q)データを被演算データS2211~S2218とする。すなわち、トライアングルDDA回路411は、8画素分の(x, y)データと、valデータS2201~S2208と、被演算データS2211~S2218とからなるDDAデータS11をテクスチャエンジン回路12に出力する。

【0055】また、トライアングルDDA回路411は、並行して処理を行う8画素について、上述したように線形補間して生成した(z, R, G, B,  $\alpha$ , s,

t, q)データのうち $\alpha$ データが「0」であるか否か、すなわち $\alpha$ ブレンド処理を行うか否かを判断する。そして、トライアングルDDA回路411は、 $\alpha$ データが「0」であると判断した場合に、「0」( $\alpha$ ブレンド処理を行わないことを)を示すvalデータ411a1~S411agをメモリI/F回路413に出力し、 $\alpha$ データが「0」ではないと判断した場合に、「1」( $\alpha$ ブレンド処理を行うことを)を示すvalデータ411a1~S411agをメモリI/F回路413に出力する。

#### 【0056】メモリI/F回路413

図6は、テクスチャエンジン回路12およびメモリI/F回路413の構成図である。図6に示すように、メモリI/F回路413は、演算ブロック204および演算ブロック405を有する。なお、図6において、図3と同じ符号を付した構成要素は、第1実施形態で説明した同一符号を構成要素と同じである。すなわち、テクスチャエンジン回路12は、第1実施形態で説明したものと同一であり、メモリI/F回路413の演算ブロック204も第1実施形態で説明したものと同一である。

【0057】以下、メモリI/F回路413の演算ブロック405について説明する。

〔演算ブロック405〕演算ブロック405は、演算サブブロック4051~4058を有し、演算サブブロック2041~2048から入力した(R, G, B,  $\alpha$ )データS2041~S2048と、既にディスプレイバッファ21に記憶されている(R, G, B)データとを、それぞれ(R, G, B,  $\alpha$ )データS2041~S2048に含まれる $\alpha$ データが示す混合値で混合し、混合後の(R, G, B)データS4051~S4058をディスプレイバッファ21に書き込む(打ち込む)。このとき、演算サブブロック4051~4058は、それぞれクロックイネーブラ4151~4158により、それぞれ演算ブロック204からのvalデータS2201~S2208および図5に示すトライアングルDDA回路411からのvalデータS411a1~S411agのレベルを検出し、双方のレベルが「1」の場合にのみ $\alpha$ ブレンド処理を行う。ここで、双方のレベルが「1」の場合とは、当該画素が処理対象となる三角形の内部に位置し、しかも、当該画素の $\alpha$ データが「0」でない( $\alpha$ ブレンド処理を行うことを示す)場合である。すなわち、演算サブブロック4051~4058は、それぞれvalデータS2201~S2208およびvalデータS411a1~S411agのうちいずれか一方が「0」の場合には、 $\alpha$ ブレンド処理を行わない。

【0058】なお、演算サブブロック4051~4058は、valデータS2201~S2208のレベルが「1」であり、valデータS411a1~S411agのレベルが「0」の場合には、演算サブブロック2041~2048から入力した(R, G, B,  $\alpha$ )データ

S2041 ~ S2048 をディスプレイバッファ21に書き込む。

【0059】以下、3次元コンピュータグラフィックシステム451の動作について説明する。3次元コンピュータグラフィックシステム451の全体動作は、基本的に前述した第1実施形態で説明した3次元コンピュータグラフィックシステム1の全体動作と同じである。また、図6に示すテクスチャエンジン回路12およびメモリI/F回路413のパイプライン処理の動作は、演算ブロック200~204の処理については、前述した第1実施形態で説明した動作と同じである。

【0060】以下、演算ブロック405の動作について説明する。それぞれ図6に示す演算サブブロック2041~2048から演算サブブロック4151~4158に、(R, G, B,  $\alpha$ ) データS2041~S2048およびvalデータS2201~S2208が出力される。また、図5に示すトライアングルDDA回路411において、線形補間して生成した(z, R, G, B,  $\alpha$ , s, t, q) データのうち $\alpha$ データが「0」であるか否かが判断され、当該判断の結果を示すvalデータ411a1~S411agが図6に示す演算サブブロック4151~4158にそれぞれ出力される。そして、演算サブブロック4151~4158において、それぞれクロックイネーブラ4151~4158により、valデータS2201~S2208およびvalデータS411a1~S411agのレベルが検出され、双方のレベルが「1」の場合にのみ $\alpha$ ブレンド処理が行われる。 $\alpha$ ブレンド処理では、(R, G, B,  $\alpha$ ) データS2041~S2048と、既にディスプレイバッファ21に記憶されている(R, G, B) データとが、それぞれ(R, G, B,  $\alpha$ ) データS2041~S2048に含まれる $\alpha$ データが示す混合値で混合されて(R, G, B) データS4051~S4058が生成される。そして、(R, G, B) データS4051~S4058が、ディスプレイバッファ21に書き込まれる。

【0061】すなわち、本実施形態では、演算サブブロック4151~4158のそれぞれにおいて、valデータS2201~S2208およびvalデータS411a1~S411agのうち何れか一方が「0」の場合には、 $\alpha$ ブレンド処理は行われない。

【0062】以上説明したように、3次元コンピュータグラフィックシステム451によれば、トライアングルDDA回路411において、各画素について $\alpha$ データが「0」であるか否かを判断する。そして、メモリI/F回路413において、同時処理する8画素のうち処理対象となる三角形の内部に位置する画素であっても、トライアングルDDA回路411による上記判断の結果に基づいて、 $\alpha$ データが「0」の画素についての $\alpha$ ブレンド処理を行わないようにすることができる。そのため、3次元コンピュータグラフィックシステム451によれば、

前述した第1実施形態の3次元コンピュータグラフィックシステム1に比べてさらに、消費電力を低減できる。

### 【0063】第3実施形態

図7は、本実施形態の3次元コンピュータグラフィックシステム551のシステム構成図である。本実施形態の3次元コンピュータグラフィックシステム551では、例えば、処理対象となっている画素のzデータとzバッファに記憶されている対応するzデータとの比較を行い、今回描画しようとする画像が前回描画した画像より奥側(視点側と反対の方向)にある場合には、当該画素についてのテクスチャ座標データ(u, v)の生成処理、テクスチャデータの読み出し処理、テクスチャ $\alpha$ ブレンド処理および $\alpha$ ブレンド処理を停止する。

【0064】図7に示すように、3次元コンピュータグラフィックシステム551は、メインメモリ2、I/Oインタフェース回路3、メインプロセッサ4およびレンダリング回路525がメインバス6を介して接続されている。図7において、図1と同じ符号を付した構成要素は、第1実施形態で説明した同一符号を付した構成要素と同じである。すなわち、メインメモリ2、I/Oインタフェース回路3、メインプロセッサ4およびメインバス6は、第1実施形態で説明したものと同じである。

【0065】また、図7に示すように、レンダリング回路525は、DDAセットアップ回路10、トライアングルDDA回路11、テクスチャエンジン回路512、メモリI/F回路513、CRTコントローラ回路14、RAMDAC回路15、DRAM16およびSRAM17を有する。ここで、DDAセットアップ回路10、トライアングルDDA回路11、CRTコントローラ回路14、RAMDAC回路15、DRAM16およびSRAM17は、第1実施形態で説明したものと同一である。

【0066】以下、テクスチャエンジン回路512およびメモリI/F回路513について説明する。図8は、テクスチャエンジン回路512およびメモリI/F回路513の構成図である。図8に示すように、テクスチャエンジン回路512は、演算ブロック500、501、502、503、504を有する。また、メモリI/F回路513は、演算ブロック505を有する。本実施形態では、演算ブロック500~505は、それぞれ8画素についての処理を同時に行い、パイプライン処理が行われるように直列に接続されている。ここで、演算ブロック500ではz比較処理が行われ、演算ブロック501では「s/q」および「t/q」の算出処理が行われ、演算ブロック502ではテクスチャ座標データ

(u, v)の算出処理が行われ、演算ブロック503ではテクスチャバッファ20からの(R, G, B,  $\alpha$ )データの読み出し処理が行われ、演算ブロック504ではテクスチャ $\alpha$ ブレンド処理が行われ、演算ブロック50



5では $\alpha$ ブレンド処理が行われる。

【0067】〔演算ブロック500〕演算ブロック500は、演算サブブロック500<sub>1</sub>～500<sub>8</sub>を有し、図7に示すトライアングルDDA回路11からDDAデータS11を入力する。演算サブブロック500<sub>1</sub>～500<sub>8</sub>は、それぞれクロックイネーブラ214<sub>1</sub>～214<sub>8</sub>において、DDAデータS11に含まれるvalデータS220<sub>1</sub>～S220<sub>8</sub>のレベル検出を行い、その結果、当該レベルが「1」の場合（当該画素が、処理対象となる三角形の内部に位置する場合）にはz比較処理を行い、当該レベルが「1」でない場合にはz比較処理を行わない。

【0068】演算サブブロック500<sub>1</sub>～500<sub>8</sub>は、z比較処理において、DDAデータS11に含まれる被演算データS221<sub>1</sub>～S221<sub>8</sub>のzデータと、zバッファ22に記憶された対応するzデータとを比較する。そして、演算サブブロック500<sub>1</sub>～500<sub>8</sub>は、被演算データS221<sub>1</sub>～S221<sub>8</sub>によって描画する画像が、前回、ディスプレイバッファ21に描画した値よりも手前（視点側）に位置する場合には、それぞれ「1」を示すvalデータS500a<sub>1</sub>～S500a<sub>8</sub>を演算ブロック501の演算サブブロック501<sub>1</sub>～501<sub>8</sub>に出力し、それぞれ被演算データS221<sub>1</sub>～S221<sub>8</sub>のzデータで、zバッファ22に記憶されている対応するzデータを書き換える。このとき、演算サブブロック500<sub>1</sub>～500<sub>8</sub>は、さらに被演算データS221<sub>1</sub>～S221<sub>8</sub>を演算サブブロック501<sub>1</sub>～501<sub>8</sub>に出力する。一方、演算サブブロック500<sub>1</sub>～500<sub>8</sub>は、被演算データS221<sub>1</sub>～S221<sub>8</sub>によって描画する画像が、前回、ディスプレイバッファ21に描画した値よりも手前（視点側）に位置しない場合には、それぞれ「0」を示すvalデータS500a<sub>1</sub>～S500a<sub>8</sub>を演算ブロック501の演算サブブロック501<sub>1</sub>～501<sub>8</sub>に出力し、zバッファ22に記憶されている対応するzデータを書き換えない。

【0069】〔演算ブロック501〕演算ブロック501は、DDAデータS11が示す（s, t, q）データを用いて、sデータをqデータで除算する演算と、tデータをqデータで除算する演算とを行う。演算ブロック501は、図8に示すように、8個の演算サブブロック501<sub>1</sub>～501<sub>8</sub>を内蔵する。ここで、演算サブブロック501<sub>1</sub>は、被演算データS221<sub>1</sub>およびvalデータS220<sub>1</sub>、S500a<sub>1</sub>を入力し、クロックイネーブラ511<sub>1</sub>～511<sub>8</sub>により、valデータS220<sub>1</sub>およびS500a<sub>1</sub>の双方が「1」、すなわち有効であるか否かを判断し、双方が「1」とであると判断した場合に、「s/q」および「t/q」を算出し、これを除算結果S501<sub>1</sub>として演算ブロック502の演算サブブロック502<sub>1</sub>に出力する。

【0070】また、演算サブブロック501<sub>1</sub>は、va

lデータS220<sub>1</sub>およびS500a<sub>1</sub>のいずれか一方が「0」、すなわち無効であることを示すと判断した場合には演算は行わず、除算結果S501<sub>1</sub>を出力しないか、あるいは、所定の仮値を示す除算結果S501<sub>1</sub>を演算ブロック502の演算サブブロック502<sub>1</sub>に出力する。なお、演算サブブロック501<sub>2</sub>～501<sub>8</sub>も、それぞれ対応する画素について、演算サブブロック501<sub>1</sub>と同じ演算を行い、それぞれ除算結果S501<sub>2</sub>～S501<sub>8</sub>を後段の演算ブロック502の演算サブブロック502<sub>2</sub>～502<sub>8</sub>にそれぞれ出力する。

【0071】〔演算ブロック502〕演算ブロック502は、演算サブブロック502<sub>1</sub>～502<sub>8</sub>を有し、演算ブロック501から入力した除算結果S501<sub>1</sub>～S501<sub>8</sub>が示す「s/q」および「t/q」に、それぞれテクスチャサイズUSIZEおよびVSIZEを乗じて、テクスチャ座標データ（u, v）を生成する。演算サブブロック502<sub>1</sub>は、クロックイネーブラ512<sub>1</sub>においてvalデータS220<sub>1</sub>およびS500a<sub>1</sub>のレベル検出を行い、双方のレベルが「1」の場合にのみ演算を行い、それぞれ演算結果であるテクスチャ座標データS502<sub>1</sub>を、演算ブロック503の演算サブブロック503<sub>1</sub>に出力する。演算サブブロック502<sub>2</sub>～502<sub>8</sub>も、演算サブブロック502<sub>1</sub>と同様に、対応するデータの処理を行う。

【0072】〔演算ブロック503〕演算ブロック503は、演算サブブロック503<sub>1</sub>～503<sub>8</sub>を有し、メモリ17/F回路13を介して、SRAM17あるいはDRAM16に、演算ブロック502で生成したテクスチャ座標データ（u, v）を含む読み出し要求を出力し、メモリ17/F回路13を介して、SRAM17あるいはテクスチャバッファ20に記憶されているテクスチャデータを読み出すことで、（u, v）データに対応したテクスチャアドレスに記憶された（R, G, B,  $\alpha$ ）データS17を得る。演算サブブロック503<sub>1</sub>は、クロックイネーブラ513<sub>1</sub>においてvalデータS220<sub>1</sub>およびS500a<sub>1</sub>のレベル検出を行い、双方のレベルが「1」の場合にのみ読み出し処理を行い、それぞれ読み出した（R, G, B,  $\alpha$ ）データS17を、（R, G, B,  $\alpha$ ）データS503<sub>1</sub>として、演算ブロック203の演算サブブロック504<sub>1</sub>に出力する。演算サブブロック503<sub>2</sub>～503<sub>8</sub>も、演算サブブロック503<sub>1</sub>と同様に、対応するデータの処理を行う。

【0073】〔演算ブロック504〕演算ブロック504は、演算サブブロック504<sub>1</sub>～504<sub>8</sub>を有し、演算ブロック503から入力したテクスチャデータである（R, G, B,  $\alpha$ ）データS503<sub>1</sub>～S503<sub>8</sub>と、トライアングルDDA回路11からの対応するDDAデータS11に含まれる（R, G, B）データとを、

（R, G, B,  $\alpha$ ）データS503<sub>1</sub>～S503<sub>8</sub>に含まれる $\alpha$ データ（テクスチャ $\alpha$ ）が示す割合で混合し、

(R, G, B) 混合データを生成する。そして、演算ブロック 504 は、生成された (R, G, B) 混合データと、対応する DDA データ S11 に含まれる  $\alpha$  データとを含む (R, G, B,  $\alpha$ ) データ S504<sub>1</sub> ~ S504<sub>8</sub> を、演算ブロック 505 に出力する。演算サブブロック 504<sub>1</sub> ~ 504<sub>8</sub> は、それぞれクロックイネーブラ 514<sub>1</sub> ~ 514<sub>8</sub> により val データ S220<sub>1</sub> ~ S220<sub>8</sub> および S500a<sub>1</sub> ~ S500a<sub>8</sub> のレベル検出を行い、双方のレベルが「1」の場合にのみ上記混合処理を行う。

【0074】〔演算ブロック 505〕演算ブロック 505 は、演算サブブロック 505<sub>1</sub> ~ 505<sub>8</sub> を有し、入力した (R, G, B,  $\alpha$ ) データ S504<sub>1</sub> ~ S504<sub>8</sub> と、既にディスプレイバッファ 21 に記憶されている (R, G, B) データとを、それぞれ (R, G, B,  $\alpha$ ) データ S504<sub>1</sub> ~ S504<sub>8</sub> に含まれる  $\alpha$  データが示す混合値で混合し、混合後の (R, G, B) データ S505<sub>1</sub> ~ S505<sub>8</sub> をディスプレイバッファ 21 に書き込む (打ち込む)。演算サブブロック 505<sub>1</sub> ~ 505<sub>8</sub> は、それぞれクロックイネーブラ 215<sub>1</sub> ~ 215<sub>8</sub> において val データ S220<sub>1</sub> ~ S220<sub>8</sub> および S500a<sub>1</sub> ~ S500a<sub>8</sub> のレベルを検出し、双方のレベルが「1」の場合にのみ上記混合処理およびディスプレイバッファ 21 への書き込み処理を行う。

【0075】以下、図 8 に示すテクスチャエンジン回路 512 およびメモリ I/F 回路 513 のパイプライン処理の動作について説明する。まず、演算サブブロック 500<sub>1</sub> ~ 500<sub>8</sub> のクロックイネーブラ 214<sub>1</sub> ~ 214<sub>8</sub> において、それぞれ DDA データ S11 に含まれる val データ S220<sub>1</sub> ~ S220<sub>8</sub> のレベル検出が行われ、当該レベルが「1」の場合 (当該画素が、処理対象となる三角形の内部に位置する場合) には z 比較処理が行われる。そして、被演算データ S221<sub>1</sub> ~ S221<sub>8</sub> によって描画する画像が、前回、ディスプレイバッファ 21 に描画した値よりも手前 (視点側) に位置する場合には、それぞれ「1」を示す val データ S500a<sub>1</sub> ~ S500a<sub>8</sub> が演算ブロック 501 の演算サブブロック 501<sub>1</sub> ~ 501<sub>8</sub> に出力され、それぞれ被演算データ S221<sub>1</sub> ~ S221<sub>8</sub> の z データで、z バッファ 22 に記憶されている対応する z データが書き換えられる。このとき、さらに被演算データ S221<sub>1</sub> ~ S221<sub>8</sub> が、演算サブブロック 500<sub>1</sub> ~ 500<sub>8</sub> から演算サブブロック 501<sub>1</sub> ~ 501<sub>8</sub> に出力される。一方、val データ S220<sub>1</sub> ~ S220<sub>8</sub> のレベルが「1」でない場合には z 比較処理は行われず、それぞれ「0」を示す val データ S500a<sub>1</sub> ~ S500a<sub>8</sub> が演算ブロック 501 の演算サブブロック 501<sub>1</sub> ~ 501<sub>8</sub> に出力される。このとき、z バッファ 22 に記憶されている対応する z データは書き換えられない。

【0076】次に、演算サブブロック 501<sub>1</sub> ~ 501

8 のクロックイネーブラ 511<sub>1</sub> ~ 511<sub>8</sub> において、val データ S220<sub>1</sub> および S500a<sub>1</sub> の双方が「1」、すなわち有効であるか否かが判断され、双方が「1」であると判断された場合には、「s/q」および「t/q」が算出され、これが除算結果 S501<sub>1</sub> ~ S501<sub>8</sub> として演算ブロック 502 の演算サブブロック 502<sub>1</sub> ~ 502<sub>8</sub> に出力される。一方、val データ S220<sub>1</sub> ~ S220<sub>8</sub> および S500a<sub>1</sub> ~ S500a<sub>8</sub> のいずれか一方が「0」、すなわち無効であることを示すと判断された場合には、それぞれ演算サブブロック 501<sub>1</sub> ~ 501<sub>8</sub> では演算は行われない。

【0077】次に、演算サブブロック 502<sub>1</sub> ~ 502<sub>8</sub> のクロックイネーブラ 512<sub>1</sub> ~ 512<sub>8</sub> において val データ S220<sub>1</sub> ~ S220<sub>8</sub> および S500a<sub>1</sub> ~ S500a<sub>8</sub> のレベル検出が行われる。そして、双方のレベルが「1」の場合にのみ、演算サブブロック 502<sub>1</sub> ~ 502<sub>8</sub> において、それぞれ演算ブロック 501 から入力した除算結果 S501<sub>1</sub> ~ S501<sub>8</sub> が示す「s/q」および「t/q」に、それぞれテクスチャサイズ USIZE および VSIZE が乗算され、テクスチャ座標データ (u, v) が生成される。テクスチャ座標データ (u, v) は、それぞれ演算サブブロック 503<sub>1</sub> ~ 503<sub>8</sub> に出力される。

【0078】次に、演算サブブロック 503<sub>1</sub> ~ 503<sub>8</sub> のクロックイネーブラ 513<sub>1</sub> ~ 513<sub>8</sub> において、val データ S220<sub>1</sub> ~ S220<sub>8</sub> および S500a<sub>1</sub> ~ S500a<sub>8</sub> のレベル検出が行われ、双方のレベルが「1」の場合にのみ、テクスチャ座標データ (u, v) を含む読み出し要求が SRAM17 に出力され、メモリ I/F 回路 13 を介してテクスチャデータが読み出され、(u, v) データに対応したテクスチャアドレスに記憶された (R, G, B,  $\alpha$ ) データ S17 が得られる。(R, G, B,  $\alpha$ ) データ S17 は、(R, G, B,  $\alpha$ ) データ S503<sub>1</sub> ~ S503<sub>8</sub> として、演算サブブロック 504<sub>1</sub> ~ 504<sub>8</sub> に出力される。

【0079】次に、演算サブブロック 504<sub>1</sub> ~ 504<sub>8</sub> のクロックイネーブラ 514<sub>1</sub> ~ 514<sub>8</sub> により val データ S220<sub>1</sub> ~ S220<sub>8</sub> および S500a<sub>1</sub> ~ S500a<sub>8</sub> のレベル検出が行われ、双方のレベルが「1」の場合にのみ、(R, G, B,  $\alpha$ ) データ S503<sub>1</sub> ~ S503<sub>8</sub> と、トライアングル DDA 回路 11 からの対応する DDA データ S11 に含まれる (R, G, B) データとが、(R, G, B,  $\alpha$ ) データ S503<sub>1</sub> ~ S503<sub>8</sub> に含まれる  $\alpha$  データ (テクスチャ  $\alpha$ ) が示す割合で混合され、(R, G, B) 混合データが生成される。そして、当該生成された (R, G, B) 混合データと、対応する DDA データ S11 に含まれる  $\alpha$  データとを含む (R, G, B,  $\alpha$ ) データ S504<sub>1</sub> ~ S504<sub>8</sub> が、演算サブブロック 504<sub>1</sub> ~ 504<sub>8</sub> から演算サブブロック 505<sub>1</sub> ~ 505<sub>8</sub> に出力される。

【0080】次に、演算サブブロック505<sub>1</sub>～505<sub>8</sub>のクロックイネーブラ215<sub>1</sub>～215<sub>8</sub>において、 $\alpha$ データS220<sub>1</sub>～S220<sub>8</sub>およびS500a<sub>1</sub>～S500a<sub>8</sub>のレベルが検出され、双方のレベルが「1」の場合にのみ、(R, G, B,  $\alpha$ )データS504<sub>1</sub>～S504<sub>8</sub>と、既にディスプレイバッファ21に記憶されている(R, G, B)データとが、それぞれ(R, G, B,  $\alpha$ )データS504<sub>1</sub>～S504<sub>8</sub>に含まれる $\alpha$ データが示す混合値で混合され、混合後の(R, G, B)データS505<sub>1</sub>～S505<sub>8</sub>がディスプレイバッファ21に書き込まれる。

【0081】以上説明したように、3次元コンピュータグラフィックシステム551によれば、テクスチャエンジン回路512の初段の演算ブロック500において各画素に関する $z$ 比較処理を行い、後の処理によって生成される画像データがディスプレイバッファ21に書き込まれるものであるかを判断する。そして、テクスチャエンジン回路512およびメモリI/F回路513において、同時処理する8画素のうち処理対象となる三角形の内部に位置する画素であっても、演算ブロック500による上記判断の結果に基づいて、ディスプレイバッファ21に書き込まない画像データに関する処理を行わないように(停止)する。そのため、3次元コンピュータグラフィックシステム551によれば、前述した第1実施形態の3次元コンピュータグラフィックシステム1に比べてさらに、消費電力を低減できる。

【0082】本発明は上述した実施形態には限定されない。例えば、前述した第2実施形態では、図6に示すように、テクスチャエンジン回路12およびメモリI/F回路413の各演算ブロックで8画素のデータについて同時に処理する場合について例示したが、図9に示すように、各演算ブロックで1画素のデータの処理を行うようにしてもよい。この場合には、処理対象となる画素の被演算データS221<sub>1</sub>のみがテクスチャエンジン回路12に入力されるため、 $\alpha$ データS220<sub>1</sub>は不要となる。すなわち、演算サブブロック200<sub>1</sub>、201<sub>1</sub>、202<sub>1</sub>、203<sub>1</sub>、204<sub>1</sub>では常に演算が行われ、演算サブブロック405<sub>1</sub>では $\alpha$ データS400a<sub>1</sub>のレベルが「1」の場合にのみ $\alpha$ ブレンド処理が行われる。

【0083】また、前述した第3実施形態では、図8に示すように、テクスチャエンジン回路512およびメモリI/F回路513の各演算ブロックで8画素のデータについて同時に処理する場合について例示したが、図10に示すように、各演算ブロックで1画素のデータの処理を行うようにしてもよい。この場合には、処理対象となる画素の被演算データS221<sub>1</sub>のみがテクスチャエンジン回路512に入力されるため、 $\alpha$ データS220<sub>1</sub>は不要となる。すなわち、演算サブブロック500<sub>1</sub>では $z$ 比較処理が常に行われ、演算サブブロック5

001<sub>1</sub>、502<sub>1</sub>、503<sub>1</sub>、504<sub>1</sub>、505<sub>1</sub>では、演算サブブロック500<sub>1</sub>で生成された $\alpha$ データS500a<sub>1</sub>のレベルが「1」の場合にのみ処理が行われる。

【0084】また、例えば、上述した実施形態では、図3に示すように、テクスチャエンジン回路12およびメモリI/F回路13におけるパイプライン処理を行なう演算サブブロックについて、 $\alpha$ データS220<sub>1</sub>～S220<sub>8</sub>を利用する場合を例示したが、例えば、図1にレンダリング回路5内のDDAセットアップ回路10、トライアングルDDA回路11、テクスチャエンジン回路12およびメモリI/F回路13における処理のうち、パイプライン処理を行なわない所定の処理について、図11に示すように、 $\alpha$ データS320<sub>1</sub>～S320<sub>8</sub>を用いて、演算処理の実行の有無を決定するようにしてもよい。

【0085】また、上述した実施形態では、SRAM17を用いる構成を例示したが、SRAM17を設けない構成にしてもよい。また、テクスチャバッファ20およびテクスチャCLUTバッファ23を、DRAM16の外部に設けてもよい。

【0086】また、上述した実施形態では、3次元画像を表示する場合を例示したが、本発明は複数画素についてのデータを同時に処理して2次元画像を表示する場合にも適用できる。また、上述した実施形態では、図2に示すように、画像処理の対象となる( $z$ , R, G, B,  $\alpha$ ,  $s$ ,  $t$ ,  $q$ )データに、有効指示データとしての $\alpha$ データを付加したDDAデータS11を用いた場合を例示したが、( $z$ , R, G, B,  $\alpha$ ,  $s$ ,  $t$ ,  $q$ )データと、 $\alpha$ データとを別個独立のデータとして扱うようにしてもよい。

【0087】また、上述した実施形態では、ポリゴンレンダリングデータを生成するジオメトリ処理を、メインプロセッサ4で行なう場合を例示したが、レンダリング回路5で行なう構成にしてもよい。

【0088】さらに、上述した実施形態では、単位図形として三角形を例示したが、単位図形は特に限定されず、例えば、矩形であってもよい。

【0089】

【発明の効果】以上説明したように、本発明の画像処理装置およびその方法によれば、消費電力の大幅な低下を図ることができる。そのため、本発明の画像処理装置によれば、小規模かつ簡単な構成の電源を用いることができ、小規模化が図れる。

【図面の簡単な説明】

【図1】図1は、本発明の第1実施形態の3次元コンピュータグラフィックシステムのシステム構成図である。

【図2】図1に示すトライアングルDDA回路から出力されるDDAデータのフォーマットを説明するための図である。

【図 3】図 3 は、図 1 に示すテクスチャエンジン回路およびメモリ I/F 回路の部分構成図である。

【図 4】図 4 は、図 3 に示す演算サブブロックの内部構成図である。

【図 5】図 5 は、本発明の第 2 実施形態の 3 次元コンピュータグラフィックシステムのシステム構成図である。

【図 6】図 6 は、図 5 に示すテクスチャエンジン回路およびメモリ I/F 回路の部分構成図である。

【図 7】図 7 は、本発明の第 3 実施形態の 3 次元コンピュータグラフィックシステムのシステム構成図である。

【図 8】図 8 は、図 7 に示すテクスチャエンジン回路およびメモリ I/F 回路の部分構成図である。

【図 9】図 9 は、図 5 に示す 3 次元コンピュータグラフィックシステムの変形例の構成図である。

【図 10】図 10 は、図 7 に示す 3 次元コンピュータグラフィックシステムの変形例の構成図である。

【図 11】図 11 は、図 1 に示す 3 次元コンピュータグラフィックシステムにおけるクロックイネーブラーを適用した、パイプライン処理を行っていない演算ブロックの構成図である。

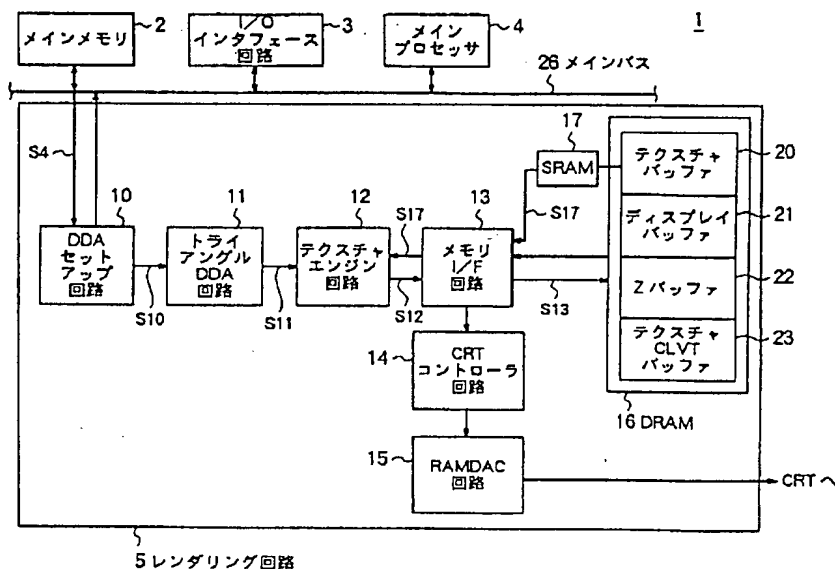
【図 12】図 12 は、従来技術の問題点を説明するため

の図である。

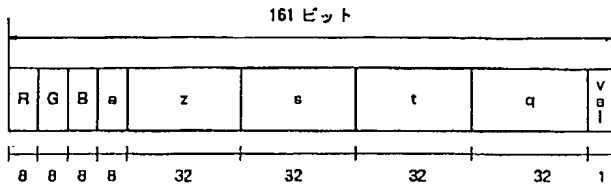
【符号の説明】

1…3 次元コンピュータグラフィックシステム、2…メインメモリ、3…I/O インタフェース回路、4…メインプロセッサ、5…レンダリング回路、10…DDA セットアップ回路、11…トライアングル DDA 回路、12…テクスチャエンジン回路、13…メモリ I/F 回路、14…CRT コントローラ回路、15…RAMDAC 回路、16…DRAM、17…SRAM、20…テクスチャバッファ、21…ディスプレイバッファ、22…Z バッファ、23…テクスチャ CLUT バッファ、200…演算ブロック、200<sub>1</sub>～200<sub>8</sub>、201<sub>1</sub>～201<sub>8</sub>、202<sub>1</sub>～202<sub>8</sub>、203<sub>1</sub>～203<sub>8</sub>、204<sub>1</sub>～204<sub>8</sub>、205<sub>1</sub>～205<sub>8</sub>…演算サブブロック、210<sub>1</sub>～210<sub>8</sub>、211<sub>1</sub>～211<sub>8</sub>、212<sub>1</sub>～212<sub>8</sub>、213<sub>1</sub>～213<sub>8</sub>、214<sub>1</sub>～214<sub>8</sub>、215<sub>1</sub>～215<sub>8</sub>…クロックイネーブラ、222…データ用フリップフロップ、223…プロセッサエレメント、224…フラグ用フリップフロップ

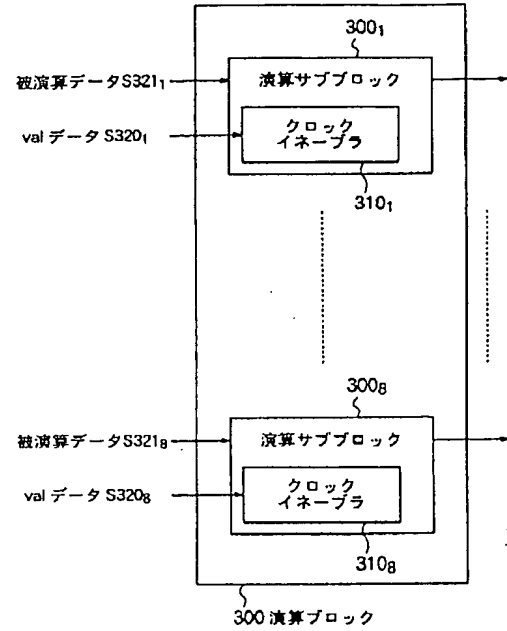
【図 1】



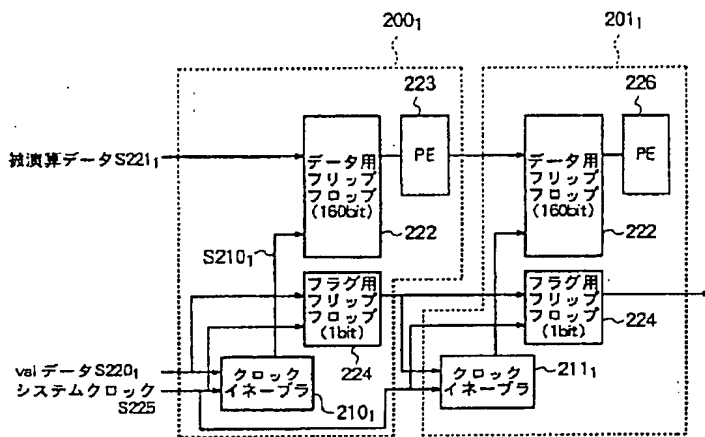
【図 2】



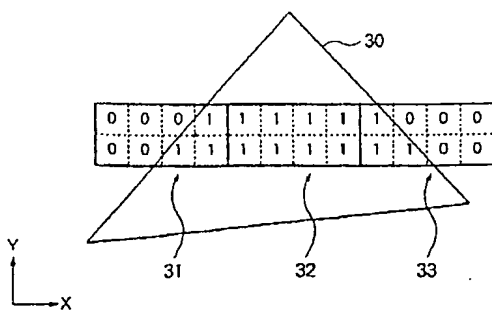
【図 1 1】



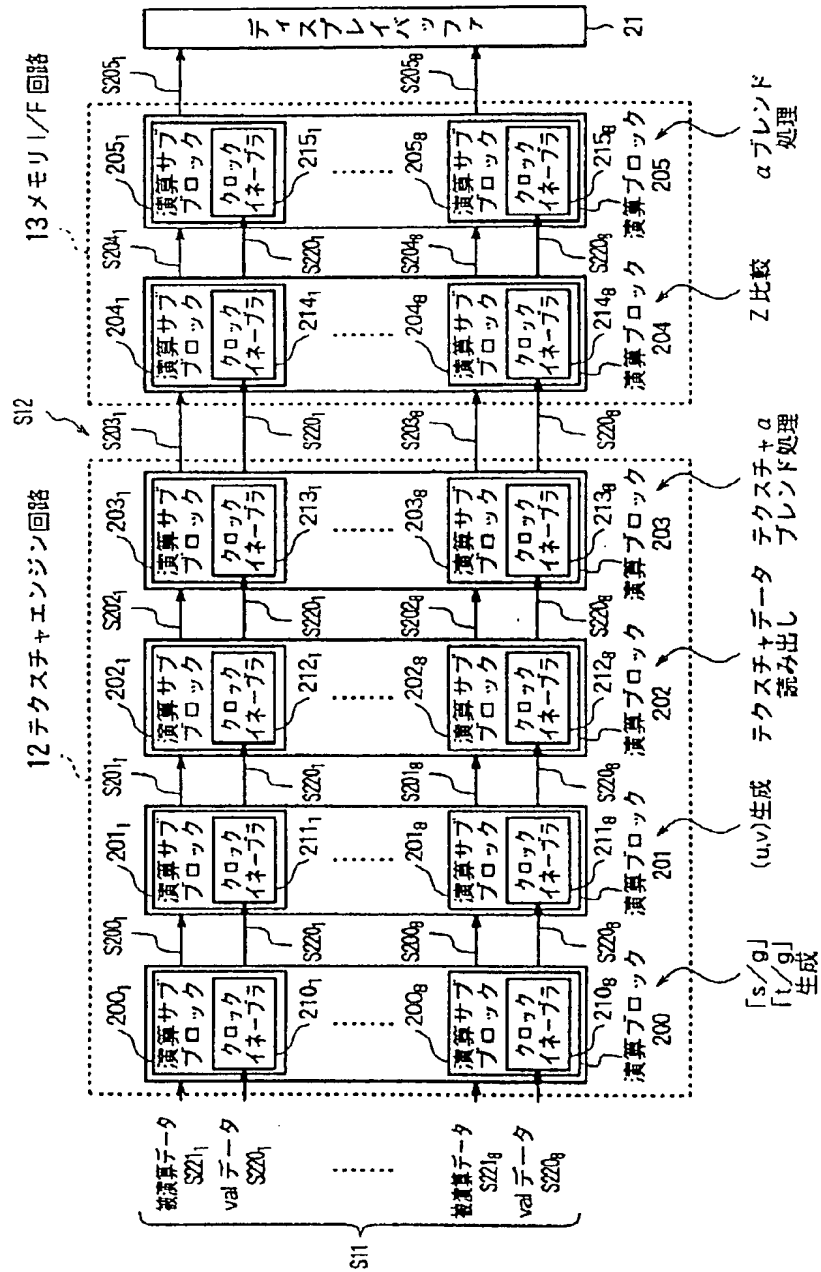
【図 4】



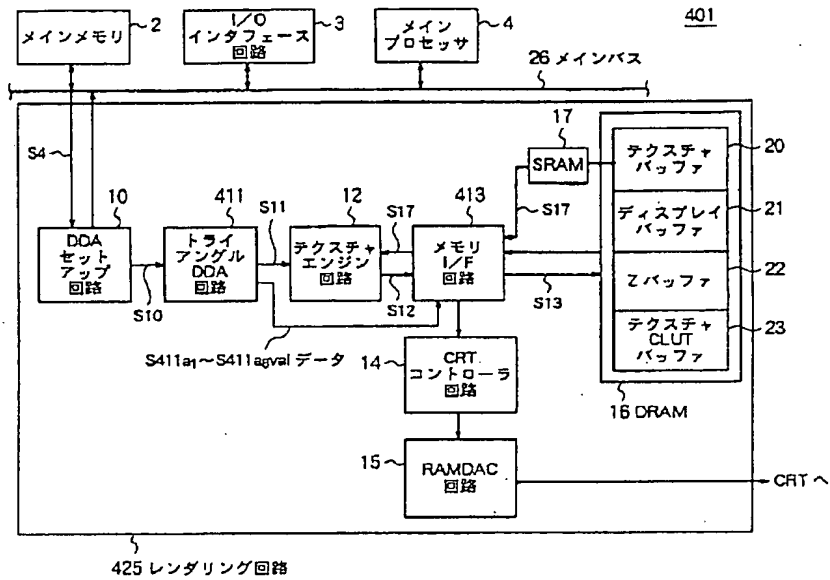
【図 1 2】



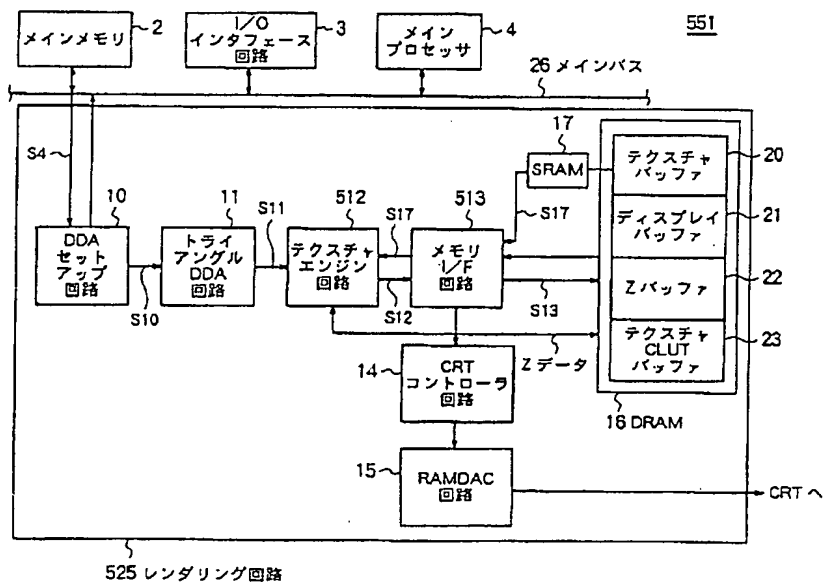
【圖 3】



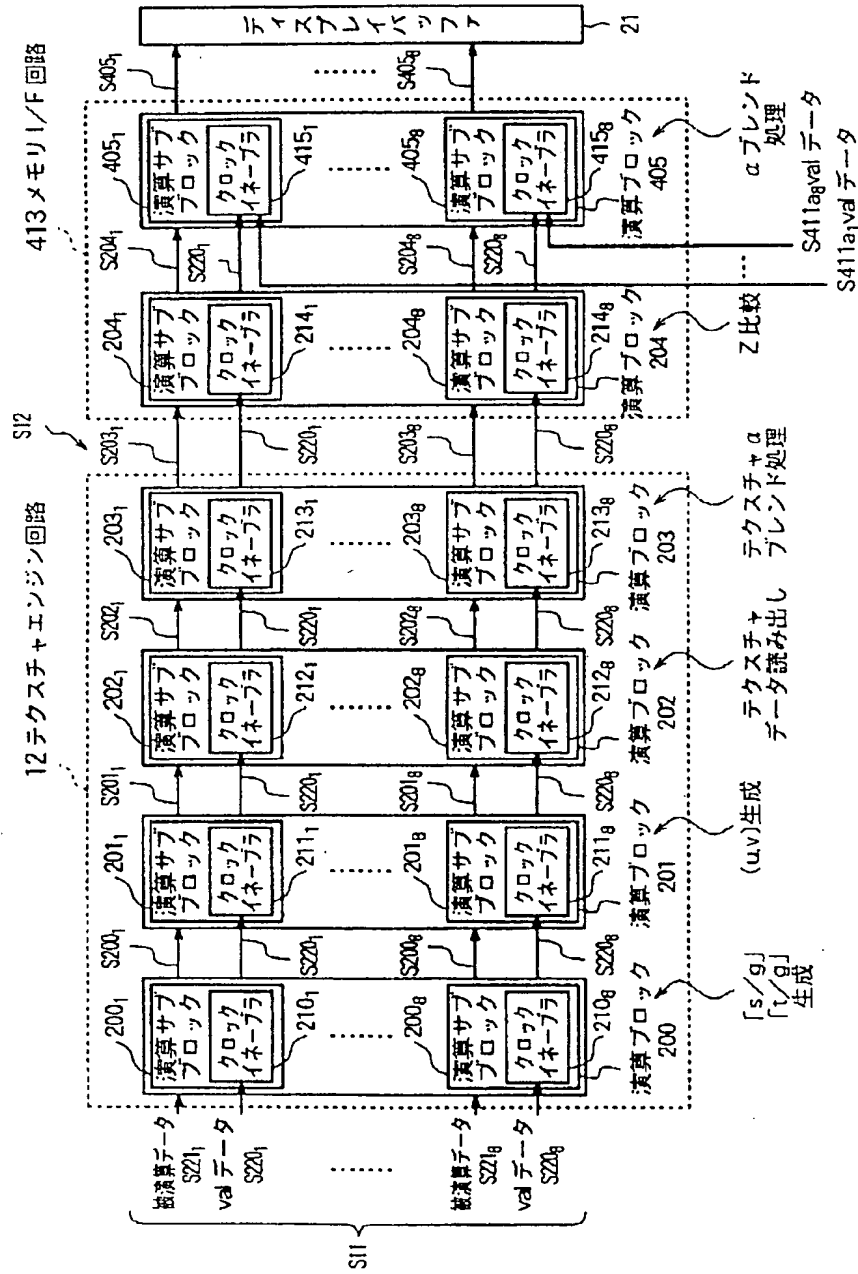
【図 5】



【図 7】

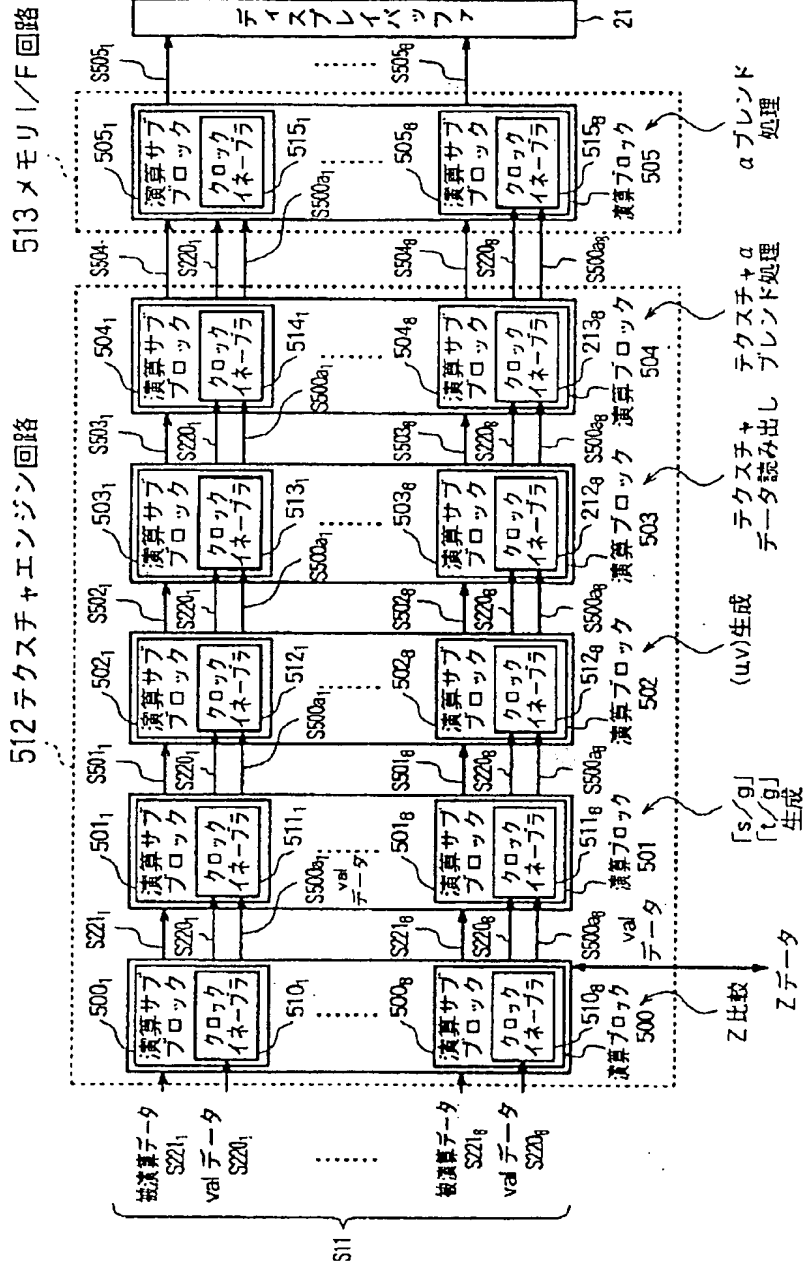


【図 6】

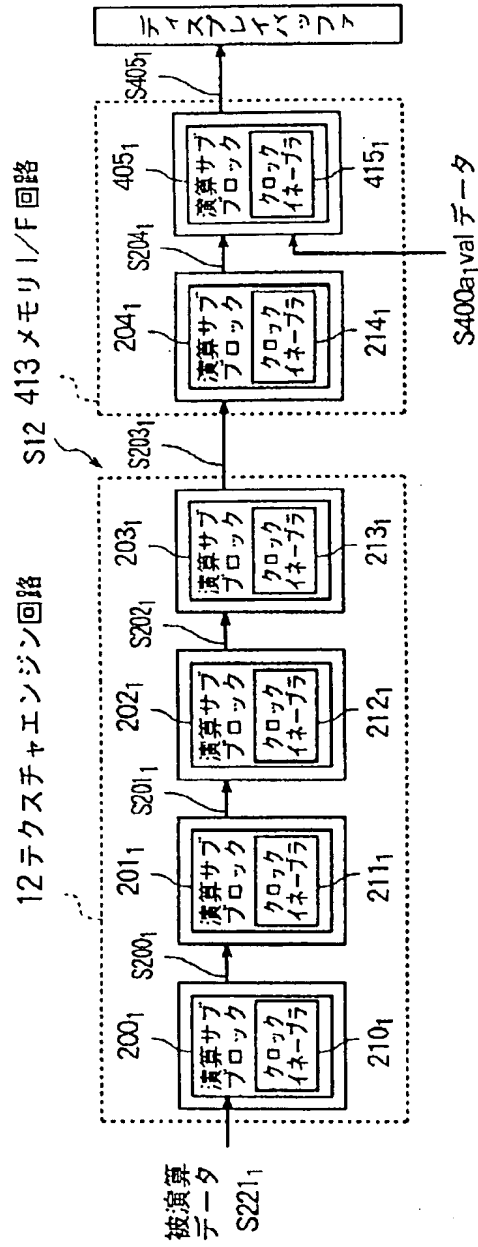




【図 8】



【図 9】



【図 10】

